

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

DÉVELOPPEMENT DE PROCÉDÉS
TECHNOLOGIQUES POUR UNE INTÉGRATION 3D
MONOLITHIQUE DE DISPOSITIFS
NANOÉLECTRONIQUES SUR CMOS

Thèse de doctorat
Spécialité : génie électrique

Bruno LEE SANG

Jury : Dominique DROUIN (directeur)
Serge CHARLEBOIS
Abdelatif JAOUAD
Abdelkader SOUIFI
Stéphane MONFRAY (externe)

À mon père, à ma mère, et à mon frère

RÉSUMÉ

Le transistor monoélectronique (SET) est un dispositif nanoélectronique très attractif à cause de son ultra-basse consommation d'énergie et sa forte densité d'intégration, mais il n'a pas les capacités suffisantes pour pouvoir remplacer complètement la technologie CMOS. Cependant, la combinaison de la technologie SET avec celle du CMOS est une voie intéressante puisqu'elle permet de profiter des forces de chacune, afin d'obtenir des circuits avec des fonctionnalités additionnelles et uniques.

Cette thèse porte sur l'intégration 3D monolithique de nanodispositifs dans le *back-end-of-line* (BEOL) d'une puce CMOS. Cette approche permet d'obtenir des circuits hybrides et de donner une valeur ajoutée aux puces CMOS actuelles sans altérer le procédé de fabrication du niveau des transistors MOS. L'étude se base sur le procédé *nanodamascène* classique développé à l'UdeS qui a permis la fabrication de dispositifs nanoélectroniques sur un substrat de SiO₂.

Ce document présente les travaux réalisés sur l'optimisation du procédé de fabrication *nanodamascène*, afin de le rendre compatible avec le BEOL de circuits CMOS. Des procédés de gravure plasma adaptés à la fabrication de nanostructures métalliques et diélectriques sont ainsi développés. Le nouveau procédé *nanodamascène* inverse a permis de fabriquer des jonctions MIM et des SET métalliques sur une couche de SiO₂. Les caractérisations électriques de MIM et de SET formés avec des jonctions TiN/Al₂O₃ ont permis de démontrer la présence de pièges dans les jonctions et la fonctionnalité d'un SET à basse température (1,5 K). Le transfert de ce procédé sur CMOS et le procédé d'interconnexions verticales sont aussi développés par la suite. Finalement, un circuit 3D composé d'un nanofil de titane connecté verticalement à un transistor MOS est réalisé et caractérisé avec succès.

Les résultats obtenus lors de cette thèse permettent de valider la possibilité de co-intégrer verticalement des dispositifs nanoélectroniques avec une technologie CMOS, en utilisant un procédé de fabrication compatible.

Mots-clés : Transistor monoélectronique (SET), CMOS, intégration 3D monolithique, BEOL, gravure plasma, électrolithographie, nanodamascène, nanofabrication.

ABSTRACT

The single electron transistor (SET) is a nanoelectronic device very attractive due to its ultra-low power consumption and its high integration density, but he is not capable of completely replace CMOS technology. Nevertheless, the hybridization of these two technologies is an interesting approach since it combines the advantages of both technologies, in order to obtain circuits with new and unique functionalities.

This thesis deals with the 3D monolithic integration of nanodevices in the back-end-of-line (BEOL) of a CMOS chip. This approach gives the opportunity to build hybrid circuits and to add value to CMOS chips without fundamentally changing the process fabrication of MOS transistors. This study is based on the *nanodamascene* process developed at UdeS, which is used to fabricate nanoelectronic devices on a SiO₂ layer.

This document presents the work done on the *nanodamascene* process optimization, in order to make it compatible with the BEOL of CMOS circuits. The development of plasma etching processes has been required to fabricate metallic and dielectric nanostructures useful to the fabrication of nanodevices. MIM junctions and metallic SET have been fabricated with the new reverse *nanodamascene* process on a SiO₂ substrate. Electrical characterizations of MIM devices and SET formed with TiN/Al₂O₃ junctions have shown trap sites in the dielectric and a functional SET at low temperature (1.5 K). The transfer process on CMOS substrate and the vertical interconnection process have also been developed. Finally, a 3D circuit consisting of a titanium nanowire connected to a MOS transistor is fabricated and is functional.

The results obtained during this thesis prove that the co-integration of nanoelectronic devices in the BEOL of a CMOS chip is possible, using a compatible process.

Keywords : Single electron transistor (SET), CMOS, 3D monolithic integration, BEOL, plasma etching, electrolithography, nanodamascene, nanofabrication.

REMERCIEMENTS

Je souhaite remercier tout d'abord mon directeur de thèse Dominique de m'avoir permis d'entreprendre ce projet. Ce fut toute une aventure intéressante et instructive. Merci pour ta patience sans fin et ton immense soutien tout au long de ce doctorat. J'en sors heureux.

Un merci spécial à Serge E. qui m'a suivi depuis le début, et qui m'a donné des milliers de conseils et m'a toujours poussé à donner le meilleur de moi-même.

Merci aux professeurs Serge C. et Abdelkader pour les discussions toujours intéressantes et leur encadrement durant la thèse.

Je voudrais remercier Marie-Josée, Abdelatif et Maxime pour leur avis d'experts en gravure plasma. Vous m'avez énormément appris.

Merci à toute l'équipe technique du LN2, du LCSM et du IMDQ d'avoir rendu cette thèse possible. Merci à Caroline, Daniel, Guillaume, Étienne P., Étienne G., Denis, René, Christian S.-B., Michael. Merci à Sonia pour son aide sur les mesures XPS. Merci à Amrid pour son aide pour les recuits thermiques. Un gros merci à Julien pour sa précieuse aide lors des caractérisations électriques. Merci également à Marina et Gabriel pour les dépôts. Merci à JF et Marina encore pour les gravures plasma.

5 années de plaisir passées au travail avec des personnes de qualité. Cette liste est non exhaustive. Merci à Damien, Thibault, Cléo, Frédérique B., JP, JN, Nicolas, Siegfried, Lucas, Alex, Marcono, Frédérique V., Rémy, Benattou, Marina, JF, Patrick, Aurélie, Christian, Chao, Fabien, Emmanuel, Marc, Antonin, Yosri, Khalil, Emna, Gabriel, François, Mouawad, Arbi, Maxime G., Maxime P., Yann, Vincent, Christophe, Ahmed, Abderrahim, Youssef, Mohamed, Osvaldo et je pense que je ne suis même pas encore à la moitié. Désolé pour les autres, mais je vous remercie tout autant du fond du cœur pour ses moments partagés.

Un merci tout spécial à ma blonde Mélanie pour sa présence et son soutien dans les bons et durs moments.

Un merci infini à mes parents, à mon frère et à toute ma famille qui m'ont soutenu inconditionnellement de Tahiti durant ces longues années. Cette fois-ci c'est vraiment la fin.

Un grand merci à STMicroelectronics et IBM pour leur contribution essentielle dans le projet SEDIMOS. Merci au NSERC, à Nanoquébec et au RQMP pour leur aide financière.

TABLE DES MATIÈRES

CHAPITRE 1 Introduction.....	1
1.1 Mise en contexte	1
1.2 Problématique	2
1.3 Question de recherche	3
1.4 Hypothèse	3
1.5 Objectifs.....	3
1.6 Plan du document	4
CHAPITRE 2 État de l'art sur les SET	7
2.1 Principes de fonctionnement et défis du SET	7
2.2 Hybridation SET-CMOS	12
2.3 Intégration 3D	13
2.4 Fabrication de SET	17
2.4.1 Évaporation à angle	17
2.4.2 Oxydation par sonde à balayage (SPM)	18
2.4.3 Auto-assemblage de points quantiques	19
2.4.4 Oxydation géométrique (PADOX).....	20
2.4.5 Nanofil ultra fin	22
2.4.6 Procédé <i>nanodamascène</i>	23
2.5 Conclusion	25
CHAPITRE 3 Développement du procédé de fabrication de SET	27
3.1 Procédé <i>nanodamascène</i> inverse	27
3.2 Polissage du TiN	31
3.3 La gravure plasma	32
3.3.1 Généralités sur les plasmas.....	32
3.3.2 Réacteurs plasma	34
3.3.3 Mécanismes de gravure	37
3.4 Méthodologie pour les calculs de vitesses de gravure.....	39
3.5 Gravure de nanostructures de TiN sur une nanotopographie	39
3.5.1 Cahier des charges et état de l'art.....	40
3.5.2 Méthodologie pour fabriquer des structures en TiN.....	41
3.5.3 Résultats de gravure de TiN	43
3.6 Gravure de tranchées de SiO ₂ à profil oblique	49
3.7 Utilisation du Si ₃ N ₄ comme substrat	51
3.8 Gravure peu profonde de nanostructures de Si ₃ N ₄	52
3.8.1 État de l'art	52
3.8.2 Choix technologiques et outils	52
3.8.3 Résultats de gravure de Si ₃ N ₄	54
3.9 Couche d'arrêt pour la CMP	61
3.10 Conclusion	63

CHAPITRE 4	Caractérisations électriques de nanodispositifs	65
4.1	Description des dispositifs fabriqués.....	65
4.1.1	Nanofil.....	65
4.1.2	Jonction MIM.....	66
4.1.3	SET.....	67
4.2	Modes de conduction	68
4.2.1	Conduction par effet tunnel direct.....	68
4.2.2	Conduction par injection Fowler-Nordheim	69
4.2.3	Conduction par émission thermoïonique ou Schottky	70
4.2.4	Conduction Poole-Frenkel.....	71
4.2.5	Conduction <i>hopping</i>	72
4.3	Caractérisations de MIM.....	73
4.3.1	Symétrie de la MIM	73
4.3.2	Analyse des modes de conduction	74
4.3.3	Vieillissement des MIM	77
4.4	Caractérisations de SET	78
4.4.1	Paramètres SET	78
4.4.2	Caractéristiques électriques.....	80
4.5	Conclusion.....	86
CHAPITRE 5	Intégration 3D de nanodispositifs sur substrat CMOS.....	87
5.1	Présentation du substrat CMOS	87
5.2	Procédé d'intégration de nanodispositifs	89
5.2.1	Photolithographie	90
5.2.2	Électrolithographie	92
5.2.3	Polissage CMP	95
5.3	Procédé d'interconnexion.....	100
5.3.1	Fabrication de vias	100
5.3.2	Gravure principale.....	100
5.3.3	Gravure finale.....	102
5.3.4	Désoxydation et remplissage des vias	104
5.4	Caractérisations électriques	105
5.4.1	Vias.....	105
5.4.2	Transistors MOS	106
5.5	Réalisation d'un circuit 3D	107
5.5.1	Fabrication du circuit 3D.....	107
5.5.2	Caractérisations électriques du circuit 3D.....	109
5.6	Conclusion.....	113
CHAPITRE 6	Conclusion	115
6.1	Conclusions générales	115
6.2	Perspectives.....	117
ANNEXE A	Procédé de fabrication détaillé	119

ANNEXE B	Polissage CMP sur CMOS	123
B.1.	Gravure chimique pure	123
B.2.	Comparaison avec Ti	123
B.3.	Mesures de contraintes.....	124
B.4.	Encapsulation des bords de puces	125
ANNEXE C	Protocole de caractérisation de transistors MOS	127
ANNEXE D	Procédé dual-damascène	129
ANNEXE E	Dépôt de Si_3N_4 PECVD sur CMOS	133
ANNEXE F	Électrolithographie HSQ.....	137
ANNEXE G	Procédé <i>top-gate</i>.....	139
LISTE DES RÉFÉRENCES	141

LISTE DES FIGURES

Figure 2.1 : a) Schéma d'un SET. b) Représentation du circuit électrique.	8
Figure 2.2 : La caractéristique I_{ds} - V_{ds} en haut à gauche. Schéma énergétique à a) $V_{ds} = 0$ V, b) $V_{ds} < V_{th}$ et c) $V_{ds} > V_{th}$	10
Figure 2.3 : La caractéristique I_{ds} - V_{gs} en haut à gauche. Niveaux d'énergie de l'îlot en augmentant V_{gs} à partir du bas d'un pic de courant, b) jusqu'en haut du pic et c) pour descendre au bas du pic.	11
Figure 2.4 : Diagramme de stabilité d'un SET ou diamants de Coulomb.	12
Figure 2.5 : Caractéristiques I_{ds} - V_{gs} en fonction de la température T . $T_{rouge} > T_{noir}$	12
Figure 2.6 : Schémas d'assemblage de circuits intégrés par une intégration parallèle.	14
Figure 2.7 : Représentation de la partie FEOL (transistors) et BEOL (interconnexions) d'une puce CMOS (Wikipedia 2006).	15
Figure 2.8 : Schémas de fabrication de circuits intégrés par une intégration monolithique.	16
Figure 2.9 : Vue en coupe de deux transistors MOS fabriqués de façon monolithique par le LETI. (Vinet et al. 2014).	16
Figure 2.10 : Vue de dessus et en coupe du procédé de fabrication du SET. a) Évaporation à angle d'Al puis oxydation pour former l'îlot et les jonctions tunnel. b) Évaporation à angle pour former la source et le drain.	18
Figure 2.11 : a) Schéma du procédé à 3 évaporations à angle pour fabriquer un SET. b) Caractéristiques I_{ds} - V_g du SET en fonction de la température. (Pashkin et al. 2000).	18
Figure 2.12 : a) Illustration de l'anodisation de la surface de Ti. b) Image AFM du SET. c) Caractéristiques I_d - V_d du SET. (Matsumoto et al. 1996).	19
Figure 2.13 : a) Image SEM du SET fabriqué avec des points quantiques en Si auto-assemblés. b) Caractéristique du courant en fonction de la polarisation de la grille arrière et de la température. (Choi et al. 1998).	20
Figure 2.14 : Vue en coupe du nanofil a) avant oxydation et b) après oxydation.	21
Figure 2.15 : a) Schéma de la coupe dans le canal de conduction du SET. b) Caractéristiques I_d - V_g du SET fabriqué. c) Schéma électrique de la porte universelle. d) Caractéristique de sortie du circuit hybride. (Shin et al. 2010).	21
Figure 2.16 : a) Image SEM d'un nanofil avec une largeur de 5 nm b) Schéma du potentiel le long du nanofil. c) Diamant de Coulomb à 300 K. (Deshpande et al. 2012).	23
Figure 2.17 : a) Image SEM du transistor. Image TEM de la vue en coupe b) transversale et c) longitudinale du nanofil. d) Schéma du circuit de l'amplificateur/inverseur hybride. e) Caractéristique de sortie du circuit. (Lavieville et al. 2016).	23
Figure 2.18 : Oscillations de Coulomb du SET fabriqué par <i>nanodamascène</i> à 300 K. (Dubuc et al. 2007)	24
Figure 2.19 : Procédé de fabrication <i>nanodamascène</i> . (Dubuc et al. 2007).	25
Figure 3.1 : Procédé <i>nanodamascène</i> inverse pour la fabrication de SET. Les vues en coupes sont faites au niveau de la ligne pointillée entre le drain et la source.	28
Figure 3.2 : Image AFM d'un SET sans passivation après caractérisation électrique.	30
Figure 3.3 : Illustration d'une machine de polissage mécano-chimique. (Alpsitec SARL 2015)	31
Figure 3.4 : Schéma d'un réacteur CCP standard. (Donnelly & Kornblit 2013)	35
Figure 3.5 : Schéma d'un réacteur ICP de la compagnie SPTS. (EPFL 2010).	36

Figure 3.6 : Les principaux mécanismes de gravure : a) la pulvérisation, b) la gravure chimique, et c) la gravure plasma.	37
Figure 3.7 : Profil de gravure avec une passivation en orange a) trop fine, b) adaptée ou c) trop épaisse.	38
Figure 3.8 : Illustrations de la vue de dessus à gauche et de la vue en coupe à droite d'un échantillon a) après la gravure de la nanostructure de TiN sur la nanotranchée de SiO ₂ , suivie b) du remplissage et du polissage de l'échantillon. (Lee Sang et al. 2016).....	42
Figure 3.9 : Image SEM d'une nanotranchée dans une couche de 25 nm de TiN, gravée sur un substrat de SiO ₂ avec les conditions données dans le tableau 3.1. (Lee Sang et al. 2016).....	43
Figure 3.10 : a) Image AFM d'une nanotranchée de TiN gravée sur des nanotranchées de SiO ₂ . b) Image AFM du même échantillon après le dépôt pour remplir les nanotranchées et le polissage. (Lee Sang et al. 2016)	45
Figure 3.11 : Images SEM à angle après une gravure humide avec du H ₂ O ₂ de structures de TiN gravées par plasma avec différent flux de N ₂ : a) 5 sccm, b), 20 sccm, c) 30 sccm, d) 50 sccm. (Lee Sang et al. 2016)	46
Figure 3.12 : Vitesses de gravure du TiN, de la ZEP et du SiO ₂ en fonction du flux de N ₂ injecté dans la chambre. L'encart montre la tension d'auto-polarisation du plateau en fonction du flux de N ₂ . (Lee Sang et al. 2016).....	47
Figure 3.13 : Caractéristiques J-V de deux dispositifs différents. Les symboles carrés et triangles représentent deux échantillons gravés respectivement avec un flux de 50 sccm de N ₂ et de 5 sccm de N ₂ combiné avec un mélange de Cl ₂ /Ar. (Lee Sang et al. 2016)	48
Figure 3.14 : Illustrations du remplissage d'une tranchée avec a) un profil à 90 ° et b) un profil oblique. $\theta_1 < \theta_2$	49
Figure 3.15 : Image SEM après clivage d'une tranchée de SiO ₂ gravée avec les conditions de gravure du Tableau 3.2. Angle extérieur mesuré.....	51
Figure 3.16 : Illustrations des vues en coupe du canal du SET fabriqué sur un substrat de SiO ₂ a) après la gravure de l'EBL1 et b) après le polissage CMP, et sur un substrat Si ₃ N ₄ c) après la gravure de l'EBL1 et d) après le polissage CMP. $h_1 > h_2$	52
Figure 3.17 : Vitesses de gravure du Si ₃ N ₄ et de la ZEP et la sélectivité (Si ₃ N ₄ :ZEP) en fonction de la température du plateau. (Lee Sang et al. 2015)	54
Figure 3.18 : Vitesses de gravure du Si ₃ N ₄ et de la ZEP et la sélectivité (Si ₃ N ₄ :ZEP) en fonction a) de la puissance du plateau, b) du flux de C ₄ F ₈ , c) de la puissance de la bobine et d) de la pression. (Lee Sang et al. 2015).....	58
Figure 3.19 : Image AFM de nanostructures de Si ₃ N ₄ gravés à une pression de 20 mTorr. (Lee Sang et al. 2015)	59
Figure 3.20 : Image AFM de nanostructures de Si ₃ N ₄ de 10 nm de profond avec dans l'encart le profil de rugosité de surface d'une nanotranchée. (Lee Sang et al. 2015).....	60
Figure 3.21 : Illustration d'un microfil (a) après polissage et(b) après gravure au Piranha. $h_2 = h_1 + h_3$	62
Figure 3.22 : Illustration d'anomalies de surface après polissage.....	62
Figure 4.1 : Motifs EBL1-2 pour un dispositif nanofil (encadré vert) et pour un dispositif MIM (encadré rose).	66

Figure 4.2 : La résistance de nanofils en fonction de leur épaisseur extraite du modèle (ligne en pointillées). L'encart montre une illustration du nanofil avec son oxyde natif. (Guilmain et al. 2013).....	67
Figure 4.3 : Motifs EBL1-2 d'un SET double grille. $t_{G1} < t_{G2}$	68
Figure 4.4 : Diagramme des bandes d'énergie dans le cas de l'émission tunnel direct dans une jonction MIM sous un potentiel appliqué V.	69
Figure 4.5 : Diagramme des bandes d'énergie dans le cas de l'émission Fowler-Nordheim dans une jonction MIM sous un potentiel appliqué V.	70
Figure 4.6 : Diagramme des bandes d'énergie sans le cas de l'émission thermoionique dans une jonction MIM sous un potentiel appliqué V.	71
Figure 4.7 : Diagramme des bandes d'énergie dans le cas de la conduction Poole-Frenkel dans une jonction MIM sous un potentiel appliqué V.	72
Figure 4.8 : Diagramme des bandes d'énergie sans le cas de la conduction <i>hopping</i> dans une jonction MIM sous un potentiel appliqué V.	72
Figure 4.9 : Caractéristique du courant mesuré dans la MIM en fonction de la valeur absolue du potentiel appliqué, à T= 1,5 K et T= 250 K.....	73
Figure 4.10 : Diagrammes des bandes d'énergie pour une structure MIM symétrique dans (a) et (b), et pour une structure asymétrique dans (c) et (d), sous un potentiel positif ou négatif appliqué.....	74
Figure 4.11 : Caractéristiques électriques d'une MIM en fonction des analyses des différentes modes de conduction présents : (a) Schottky, (b) Poole-Frenkel, (c) <i>hopping</i> et (d) Fowler-Nordheim.....	76
Figure 4.12 : Évolution des caractéristiques I-V de MIM passivées en fonction du temps.	77
Figure 4.13 : Représentation de la géométrie du SET à gauche la vue de dessus et à droite la vue en coupe. a) Îlot simple, b) Îlot encastré.	79
Figure 4.14 : Caractéristique I_{ds} - V_{ds} mesurée du SET à 1,5 K.....	81
Figure 4.15 : Caractéristiques I_{ds} - V_{G1} mesurées en fonction de la polarisation du substrat, pour $V_{ds} = 2$ mV et T = 1,5 K.	82
Figure 4.16 : Caractéristique I_{ds} en fonction du temps pour $V_{ds} = 1$ mV à 1.5 K.....	83
Figure 4.17 : Diagramme de stabilité du SET entre la grille latérale 1 et la grille arrière pour $V_{ds} = 1$ mV et $V_{G2} = 0$ V.....	84
Figure 4.18 : Diagramme de stabilité du SET entre les deux grilles latérales pour $V_{ds} = 1$ mV et $V_{sub} = 0$ V.....	85
Figure 4.19 : Agrandissement d'une zone du diagramme de stabilité du SET entre les deux grilles latérales pour $V_{ds} = 1$ mV et $V_{sub} = 0$ V.....	85
Figure 5.1 : Schéma d'un échantillon CMOS avec l'emplacement des zones de transistors MOS.....	88
Figure 5.2 : Illustration d'une ligne de transistors MOS avec la définition de chaque plot. G = Grille, D = Drain, S = Source, B= substrat.	88
Figure 5.3 : Image SEM de la partie inférieure gauche d'une zone de transistors MOS. L'encadré bleu représente une ligne de transistors.....	89
Figure 5.4 : Vue en coupe des différentes couches du substrat CMOS utilisé (coupe TEM réalisée par STMicronics).....	89
Figure 5.5 : Photomasque pour réaliser l'UV1 sur les échantillons CMOS.....	91

Figure 5.6 : a) Agrandissement d'une des cinq grandes cellules UV. L'encadré rouge représente l'emplacement des transistors MOS. b) Cellule unitaire avec au centre la zone des nanodispositifs.	91
Figure 5.7 : Image optique d'un échantillon après l'étape de photolithographie : a) Marque d'alignement ST, b) centre de la cellule unitaire.	92
Figure 5.8 : Emplacement des marques d'alignement EBL par rapport à l'UV1 et aux plots de cuivre. Les images des encadrés noirs sont les fenêtres d'alignement après balayage.	93
Figure 5.9 : Géométrie des nanodispositifs fabriqués lors de l'EBL1. a) Nanofil, b) jonction MIM, c) SET, d) structure pour coupe TEM.	94
Figure 5.10 : a) Image SEM après gravure de l'EBL1 des nanodispositifs. b) Agrandissement sur une structure SET.	95
Figure 5.11 : Image AFM de la surface du substrat CMOS. Dans l'encart, le profil de rugosité le long de la ligne.	96
Figure 5.12 : Image SEM d'un échantillon avec des nanodispositifs en cours de polissage. ...	96
Figure 5.13 : a) Image optique d'un échantillon CMOS avec des nanodispositifs après 1 min de polissage. b) Image SEM de l'état de surface du même échantillon.	97
Figure 5.14 : Image optique après 1 min de polissage avec a) le slurry Allied, b) le slurry CX, et c) le slurry CX et avec les bords protégés.	99
Figure 5.15 : a) Gravure principale à l'AOE. b) Gravure finale au RIE.	101
Figure 5.16 : Épaisseur gravée d'un substrat CMOS en fonction du temps de gravure avec les conditions de gravure du tableau 5.3.	102
Figure 5.17 : Image SEM d'un échantillon CMOS gravé au RIE pendant a) 2 min et b) 2 min 20 s.	103
Figure 5.18 : Image SEM en coupe après la gravure d'un via.	103
Figure 5.19 : Image SEM d'une surface de cuivre a) avant désoxydation et b) après désoxydation au BPS-172.	104
Figure 5.20 : Image SEM de la vue de dessus d'un via rempli de 400 nm de titane.	105
Figure 5.21 : Vue en coupe de la structure pour mesurer la résistance d'un via.	106
Figure 5.22 : Caractéristiques a) $I_{ds}-V_{ds}$ et b) $I_{ds}-V_{gs}$ du transistor NMOS 32F.	107
Figure 5.23 : Vue en coupe des différentes étapes du procédé dual-damascène pour fabriquer un nanofil connecté à un transistor CMOS.	108
Figure 5.24 : Illustration d'un plot de cuivre et d'un plot UV connectés par huit vias.	109
Figure 5.25 : Après le soulèvement des plots d'aluminium.	109
Figure 5.26 : Caractéristique I-V d'un nanofil fabriqué par le procédé <i>nanodamascène</i>	110
Figure 5.27 : Caractéristique $I_{ds}-V_{ds}$ et $R-V_{ds}$ du transistor PMOS 116E.	111
Figure 5.28 : Caractéristique $I_{ds}-V_{gs}$ et $R-V_{gs}$ du transistor PMOS 116E.	111
Figure 5.29 : Schéma électrique du circuit 3D fabriqué.	112
Figure 5.30 : Courant du circuit 3D et potentiel de sortie entre le nanofil et le transistor en fonction de la tension de grille du transistor MOS.	112
Figure B.1 : a) Image optique d'un échantillon après 5 min de gravure statique dans le slurry CX. b) Image SEM à angle du bord du même échantillon.	123
Figure B.2 : Image SEM de microstructures de titane polies avec le slurry Allied sur un échantillon CMOS.	124
Figure B.3 : À gauche, la vue de dessus de la gaufre de silicium avec les directions de mesure. À droite, la vue en coupe selon la direction AA'.	125

Figure B.4 : Schéma de l'étape de dépôt de SiO_2 par pulvérisation sur la face arrière.	125
Figure D.1 : Image SEM d'un échantillon CMOS après polissage avec une couche a) de 300 nm de Ti et b) de 150 nm de Ti.	129
Figure D.2 : a) Image SEM après le polissage de vias remplis avec 150 nm de Ti. b) Vue en coupe avant polissage d'un via rempli avec 150 nm de Ti.	130
Figure D.3 : a) Profil de hauteur à travers deux zones de vias. b) Illustration du profil de hauteur de la première zone de vias.	131
Figure E.1 : Image SEM d'un échantillon CMOS avec du Si_3N_4 gravé à l'ASE.	133
Figure E.2 : Mesures AFM d'un échantillon CMOS a) avant dépôt Si_3N_4 et b) après dépôt Si_3N_4	134
Figure E.3 : Mesure AFM après gravure ASE a) d'un échantillon CMOS avec du Si_3N_4 et b) d'un échantillon Si avec du Si_3N_4	134
Figure E.4 Image AFM d'un échantillon CMOS a) avant et b) après dépôt de Si_3N_4 avec 50 sccm d'Ar.	135
Figure F.1 : Image SEM d'une ligne de HSQ exposée à 20keV.	137
Figure F.2 : Image SEM de lignes denses de HSQ exposées à 2 keV.	138
Figure G.1 : Étapes du procédé <i>top gate</i> . a) Gravure AOE du canal. b) Dépôt d'une couche de TiN. c) Polissage CMP. d) Dépôt d'un empilement de grille. e) Gravure de TiN et du diélectrique avec un masque dur. f) Oxydation plasma ou dépôt ALD de diélectrique. g) Dépôt d'une couche de TiN. h) Planarisation par plasma.	139

LISTE DES TABLEAUX

Tableau 2.1 : Comparaison des caractéristiques liées au CMOS et au SET.	13
Tableau 3.1 : Paramètres de gravure. (Lee Sang et al. 2016)	44
Tableau 3.2 : Conditions de gravure et les vitesses de gravure du SiO ₂ et de la ZEP pour obtenir des parois obliques.	50
Tableau 3.3 : Conditions de gravure de nanostructures de Si ₃ N ₄	60
Tableau 3.4 : Vitesses de polissage sur des échantillons non structurés avec le slurry CX.	61
Tableau 3.5 : Résultats des différentes épaisseurs après un polissage de 35 s pour le Si ₃ N ₄ et de 30 s pour le SiO ₂	62
Tableau 4.1 : Tableau comparatif des capacités entre deux géométries d'îlot.	78
Tableau 4.2 : Valeurs des paramètres géométriques du SET.	80
Tableau 5.1 : Hypothèses pour le problème d'arrachement lors du polissage CMP sur CMOS.	97
Tableau 5.2 : Contraintes résiduelles dans des couches minces de TiN et de Ti.	98
Tableau 5.3: Conditions de gravure dans l'AOE et les vitesses de gravure associées du TEOS, du SiOCH et de la S1805.....	101
Tableau 5.4 : Valeur moyenne des résistances de vias de tailles différentes.	106
Tableau A.1 : Procédé de fabrication de SET	119
Tableau A.2 : Procédé de fabrication de vias fait avant ou après EBL1	121
Tableau C.3 : Paramètres de caractérisation.....	127

LISTE DES ACRONYMES

Acronyme	Définition
AFM	<i>Atomic Force Microscope</i> - Microscope à force atomique
ALD	<i>Atomic Layer deposition</i> – Dépôt par couche atomique
AOE	<i>Advanced Oxide Etching</i> – Procédé de gravure plasma avec un réacteur ICP
ARDE	<i>Aspect Ratio Dependent Etching</i> – Gravure plasma dépendante du facteur d'aspect
BEOL	<i>Back-End-Of-Line</i> – Étapes technologiques de réalisation des interconnexions des puces CMOS
CCP	<i>Capacitively Coupled Plasma</i> – Plasma à couplage capacitif
CMOS	<i>Complementary Metal Oxide Semiconductor</i> – Technologie associant un transistor nMOS avec un pMOS
CMP	<i>Chemical Mechanical Planarization</i> – Polissage chimico-mécanique
EBL	<i>Electron Beam Lithography</i> – Lithographie par faisceau d'électrons
FEOL	<i>Front-End-Of-Line</i> – Unité de fabrication initiale
ICP	<i>Inductively Coupled Plasma</i> – Plasma à couplage inductif
ILD	<i>Inter-Layer Dielectric</i> – Diélectrique inter-couche
MIM	<i>Metal-Insulator-Metal</i> – Capacité de type Métal-Isolant-Métal
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i> – Transistor à effet de champ à structure métal-oxyde-semi-conducteur
PECVD	<i>Plasma-Enhanced Chemical Vapor Deposition</i> – Dépôt chimique en phase vapeur assisté par plasma
RIE	<i>Reactive Ion Etching</i> – Gravure ionique réactive
SEM	<i>Scanning Electron Microscopy</i> – Microscope électronique à balayage
SET	<i>Single Electron Transistor</i> – Transistor à un électron
TEM	<i>Transmission Electron Microscopy</i> – Microscope électronique à transmission
TSV	<i>Through Silicon Via</i> - Interconnexions plus grande que les vias
Via	<i>Vertical Interconnect Access</i> – Interconnexion électrique verticale

CHAPITRE 1 Introduction

1.1 Mise en contexte

À partir du milieu des années 50, le début d’une révolution dans le domaine de l’électronique est annoncé quand le transistor à effet de champ (*Field Effect Transistor*, FET) sort des laboratoires et est industrialisé. De nos jours, la technologie CMOS (*Complementary Metal-Oxide-Semiconductor*), composée de transistors MOS de type N et de type P, est largement utilisée dans les circuits numériques et analogiques. Les principales raisons de son succès sont son fort potentiel de densité d’intégration, ses hautes performances électriques et sa maturité technologique. La taille du transistor MOS n’a cessé de diminuer d’une manière significative au fil des années suivant une loi empirique décrite en 1965 par Gordon Moore, cofondateur de la société Intel. Cette conjecture prédit que la densité des circuits intégrés sur une puce augmenterait d’un facteur deux environ tous les 2 ans. Cette course à la miniaturisation a pour objectifs d’augmenter les performances des circuits afin de répondre aux besoins du marché, et de réduire le prix de fabrication des composants. Cependant, la réduction de la taille des transistors s’accompagne de problèmes tels que l’apparition de phénomènes quantiques non désirés, ou l’augmentation de la puissance dissipée dans les circuits à cause du nombre croissant de transistors et d’interconnexions.

Éventuellement, cette réduction de taille ne pourra plus continuer pour des raisons simplement physiques. Les experts de l’industrie des semi-conducteurs prévoient dans leur feuille de route ITRS (*International Technology Roadmap for Semiconductors*) que la technologie CMOS devrait atteindre un « mur technologique » en 2021 avec le nœud 5 nm. Il est donc nécessaire de trouver des alternatives à ce problème. Dans l’ITRS, deux approches principales se dégagent pour répondre à ce besoin. La première s’appelle *Beyond CMOS*. Cette approche est associée à l’amélioration des performances des circuits intégrés par l’introduction de nouvelles technologies avec de nouveaux paradigmes. Parmi les dispositifs émergents décrits dans l’ITRS, on retrouve le transistor à spin unique, le transistor MOTT, ou le transistor ferroélectrique (ITRS 2015).

Le transistor monoélectronique (*Single Electron Transistor*, SET) faisait partie de ces dispositifs émergents, mais il n'a plus été mentionné dans l'ITRS depuis 2011. Cependant, le concept de SET refait surface en 2015 lors d'une présentation de conférence donnée par Global Foundries à propos de la feuille de route des technologies *Beyond CMOS*. Le SET suscite toujours un grand intérêt, car il possède des caractéristiques uniques et très intéressantes. En effet, le SET est un dispositif nanométrique avec une forte densité d'intégration et une ultra basse consommation d'énergie. Le passage du courant est contrôlé par une grille, et est basé sur le blocage de Coulomb (phénomène électrostatique) et le transport de porteurs par effet tunnel (phénomène quantique) à travers des jonctions tunnel. Le SET peut être utilisé par exemple comme un électromètre ultra-sensible ou comme un transducteur pour des applications de type capteur. Cependant, son faible courant d'attaque et son faible gain le rendent assez dépendant de la technologie CMOS pour une application commerciale. La technologie SET est alors plutôt vue comme complémentaire à la technologie CMOS. La réalisation de circuits hybrides SET-CMOS peut être très avantageuse pour réduire la consommation d'énergie des circuits et pour continuer à augmenter la densité surfacique des transistors. La démonstration des performances de circuits hybrides SET-CMOS faite par simulation (Jana et al. 2013) et expérimentalement (Lavieville et al. 2016) montre le fort intérêt actuel porté par cette hybridation.

La deuxième approche est l'utilisation de l'intégration 3D. Elle consiste à superposer plusieurs niveaux de dispositifs et à les interconnecter. L'impact est considérable, car elle permet d'augmenter la densité de transistors sans réduire leur taille, de diminuer la longueur des interconnexions pour diminuer la perte d'énergie et de permettre une intégration hétérogène. Il existe deux types d'intégration 3D : l'intégration parallèle dans laquelle les niveaux de dispositifs sont fabriqués indépendamment et l'intégration monolithique dans laquelle les niveaux sont fabriqués les uns sur les autres. Le cas parallèle a été très développé et est maintenant en production pour divers produits tels que les mémoires flash, alors que le cas monolithique est encore en développement.

1.2 Problématique

Pour intégrer deux technologies hétérogènes ensemble avec une approche d'intégration 3D monolithique, il faut qu'elles soient compatibles au niveau de leur procédé de fabrication et de leur température d'opération. La technologie CMOS étant la plus mature, c'est elle qui fixe les conditions de travail. Les SET doivent donc fonctionner au moins à température ambiante, et utiliser des méthodes de fabrication compatibles avec l'industrie. De plus, les températures associées au procédé de fabrication et le choix des matériaux sont limités par la partie de l'unité de fabrication de la puce CMOS : FEOL (*front-end-of-line*) ou BEOL (*back-end-of-line*). Pour ce projet, la partie BEOL est choisie, car elle présente l'avantage de ne pas modifier la partie FEOL qui est plus complexe et est adaptée à la fabrication de SET métalliques avec le procédé développé à l'Université de Sherbrooke.

1.3 Question de recherche

Est-il possible de réaliser des circuits hybrides SET-CMOS par intégration 3D monolithique de SET dans le BEOL de circuits CMOS ?

1.4 Hypothèse

Le procédé *nanodamascène* de l'Université de Sherbrooke est choisi pour la fabrication de SET puisqu'il a permis d'obtenir des SET métalliques fonctionnant jusqu'à 433 K (Dubuc et al. 2007). Cette méthode utilise des techniques compatibles avec les procédés industriels et permet de fabriquer des structures nanométriques avec précision afin de réaliser des dispositifs nanoélectroniques sur une couche de SiO₂.

1.5 Objectifs

L'objectif global de la thèse est d'intégrer des SET de façon monolithique dans le BEOL d'un substrat CMOS et de montrer un circuit 3D hybride SET-CMOS fonctionnel.

Pour se faire, le projet se divise en trois parties principales :

1. Améliorer le procédé de fabrication de SET *nanodamascène* pour le rendre compatible CMOS :

- Le matériau TiN devra être utilisé pour les électrodes et les îlots.
- Le procédé ne devra comporter que des techniques compatibles avec l'industrie. L'étape de soulèvement utilisée pour fabriquer l'îlot métallique devra être éliminée et remplacée par une étape de gravure plasma. La formation des jonctions tunnel devra être faite par déposition par couche atomique.
- Les températures de recuit ne devront pas dépasser 450 °C.

2. Démontrer expérimentalement le fonctionnement d'un transistor SET pour valider le nouveau procédé de fabrication développé.

3. Caractériser un circuit 3D hybride SET-CMOS pour démontrer le transfert du procédé de fabrication sur CMOS et l'interconnexion verticale.

1.6 Plan du document

Ce manuscrit est divisé en quatre chapitres. Le chapitre 2 explique les principes de fonctionnement d'un SET et les défis technologiques associés. Les avantages et les limites de l'hybridation SET-CMOS ainsi que de l'intégration 3D sont ensuite présentés. L'état de l'art des différentes techniques de fabrication pour réaliser des SET à température ambiante ou intégrés avec des transistors MOS est finalement présenté.

Le chapitre 3 présente les étapes du nouveau procédé *nanodamascène* inverse qui est utilisé pour la fabrication de SET. Le développement de la gravure plasma de TiN pour remplacer l'étape de soulèvement y est présenté. Le développement de la gravure plasma de nanostructures et du polissage de Si_3N_4 pour utiliser le nitrure de silicium comme substrat sont aussi présentés.

Dans le chapitre 4, les caractéristiques électriques des capacités métal-isolant-métal fabriquées sont présentées et analysées. Les caractérisations électriques d'un SET fonctionnel sont ensuite montrées et discutées.

Dans le chapitre 5, le développement de l'intégration de dispositifs nanoélectroniques dans le BEOL est présenté. Les procédés d'alignement et de polissage de ces dispositifs sur le substrat CMOS sont décrits. La fabrication d'interconnexions verticales pour réaliser l'intégration 3D est détaillée, et les caractéristiques électriques d'un circuit 3D fonctionnel composé d'un transistor MOS avec un nanofil sont présentées.

CHAPITRE 2 État de l'art sur les SET

La première partie de ce chapitre a pour objectif de présenter une étude théorique du SET pour comprendre les principes de fonctionnement et les défis technologiques à relever pour fabriquer un tel dispositif fonctionnant à haute température. À la suite de cela, les motivations de la fabrication de circuits hybrides SET-CMOS sont décrites. Ensuite, les avantages et les défis de l'intégration 3D sont introduits. Enfin, une revue bibliographique des procédés de fabrication de SET fonctionnant à température ambiante ou intégrables avec du CMOS est présentée.

2.1 Principes de fonctionnement et défis du SET

Un transistor monoélectronique est composé d'un nano-îlot conducteur qui est isolé du drain et de la source par deux jonctions tunnel et contrôlé capacitivement par une grille (figure 2.1a). On peut représenter les jonctions tunnel par une résistance (R_s et R_d) et une capacité (C_s et C_d), et le couplage de l'îlot avec l'électrode de grille par une capacité C_g (figure 2.1b). La capacité totale de l'îlot C_Σ est égale à la somme de ces trois capacités. Elle est donc dépendante de la géométrie et des caractéristiques électriques des diélectriques. À l'équilibre, l'îlot possède une charge nette Q qui crée un champ électrique empêchant tout électron de rentrer ou de sortir de l'îlot. Ce phénomène électrostatique est appelé le blocage de Coulomb. Pour qu'un électron puisse passer à travers la jonction tunnel, il faut fournir une énergie de charge E_C qui est égale à l'équation suivante :

$$E_C = \frac{e^2}{2C_\Sigma} \quad (2.1)$$

avec e la charge d'un électron et $C_\Sigma = C_s + C_d + C_g$. Cette énergie peut être fournie par une source de tension ou par la température. En pratique, on veut éviter les fluctuations thermiques. Il faut donc que l'énergie de charge soit beaucoup plus grande que l'énergie thermique de telle sorte que :

$$E_C = \alpha k_B T \quad (2.2)$$

avec k_B la constante de Boltzmann, T la température du système et α une constante comprise entre 10 et 100 dépendant de l'application voulue (Likharev 1999). D'après les équations (2.1) et (2.2), on remarque que la température d'opération du dispositif est inversement proportionnelle à la capacité totale de l'îlot. Pour travailler à des températures de l'ordre de 300 K, la capacité totale doit être inférieure à l'attofarad. Pour remplir cette condition, l'îlot et les jonctions tunnel doivent avoir des dimensions mesurant seulement quelques nanomètres. Un des défis de la technologie SET réside donc dans la fabrication nanométrique de l'îlot et des jonctions tunnel.

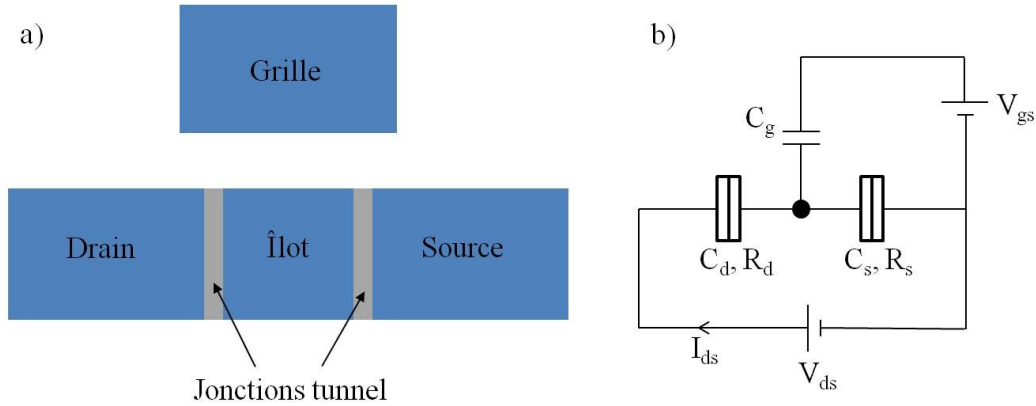


Figure 2.1 : a) Schéma d'un SET. b) Représentation du circuit électrique.

L'îlot peut être métallique ou semi-conducteur. Dans le cas d'un semi-conducteur de très petite taille, il y a une discrétisation des niveaux d'énergie dans l'îlot à cause du confinement quantique. On parle alors d'énergie d'addition E_A à la place d'énergie de charge et elle est approximée par l'équation suivante :

$$E_A = E_C + E_K \quad (2.3)$$

avec E_K l'énergie cinétique quantique de l'électron provenant du confinement quantique. Dans le cas d'un îlot métallique, cette discrétisation n'apparaît pas et $E_A = E_C$. Le point fort d'un îlot semi-conducteur est donc l'augmentation de la température d'opération due à une plus

grande énergie d'addition. Par contre, il présente quelques désavantages par rapport à l'îlot métallique. Premièrement, le courant est moins important dans un semi-conducteur à cause de sa plus faible densité de porteurs. Ensuite, l'énergie cinétique E_K provenant du confinement quantique est très dépendante de la taille de l'îlot (Harvey-Collard 2013), ce qui renforce l'impact du problème de reproductibilité de la fabrication sur la variabilité et la prévisibilité des caractéristiques électriques. En effet dans le cas d'un semi-conducteur, le taux d'effet tunnel des porteurs ne dépend plus seulement de E_C , mais aussi de E_K qui est reliée à la discrétisation des niveaux d'énergie. Enfin, la discrétisation des niveaux d'énergie rend le calcul du courant bien plus complexe. C'est en partie à cause de ces raisons qu'un îlot métallique est choisi pour faire des SET dans ce projet.

Pour pouvoir modéliser le comportement d'un SET, on se base sur la théorie orthodoxe (Likharev 1999) qui prend en compte les hypothèses suivantes:

- La discrétisation des niveaux d'énergie est ignorée. L'énergie de charge est considérée comme plus grande que l'énergie cinétique des électrons $E_C \gg E_K$.
- Les événements tunnel simultanés appelés effet *cotunneling* sont ignorés. Pour satisfaire cette hypothèse, la résistance des jonctions tunnel doit être supérieure au quantum de résistance $R_Q = h/e^2 = 26 \text{ k}\Omega$, avec h la constante de Planck.

Pour la suite des explications, on considère que les jonctions tunnel sont symétriques ($R_s=R_d$ et $C_s=C_d$) et qu'on polarise de façon asymétrique (source à la masse). La caractéristique I_{ds} - V_{ds} d'un SET, ainsi que les schémas énergétiques à différents V_{ds} sont présentés à la figure 2.2. À $V_{ds} = 0 \text{ V}$, les niveaux de Fermi de la source, de l'îlot et du drain sont alignés et une énergie de charge E_C est nécessaire pour charger ou décharger l'îlot d'un électron (figure 2.2a). Tant que V_{ds} est inférieur à la tension de seuil V_{th} , le blocage de Coulomb est présent et aucun électron ne peut passer (figure 2.2b). Quand V_{ds} est supérieur à V_{th} , la barrière énergétique est assez réduite pour qu'un électron puisse passer à travers les jonctions par effet tunnel et un courant I_{ds} apparaît.

Le courant I_{ds} peut aussi être contrôlé en appliquant une tension sur la grille comme le montre la figure 2.3. Cette variation de courant est appelée oscillations de Coulomb. En variant la tension de grille, on fait varier le potentiel électrostatique de l'îlot. Lorsqu'on applique une tension V_{ds} faible et $V_{gs} = 0 \text{ V}$, les électrons sont bloqués (figure 2.3a). Si l'on

augmente suffisamment V_{gs} , on peut abaisser les niveaux d'énergie de telle sorte que le premier niveau d'énergie non occupé $N+1$ soit accessible par les électrons de la source (figure 2.3b) et qu'un courant circule (pic de conduction). Si l'on continue d'augmenter V_{gs} , le niveau $N+1$ devient bloqué et l'on retombe dans un état bloqué (figure 2.3c). La période des pics de conduction est égale à e/C_g . Cette caractéristique est exploitée pour concevoir des circuits logiques (Bounouar et al. 2012). En effet, l'ajout d'une deuxième grille polarisée permet de configurer le SET de telle façon qu'il fonctionne comme un transistor MOS de type N ou P.

L'intensité du courant en fonction des tensions V_{ds} et V_{gs} peut être représentée par un diagramme de stabilité que l'on appelle généralement diamants de Coulomb (figure 2.4). À partir de ce diagramme, on peut extraire la capacité de grille et la capacité totale avec les pointes des diamants, et les capacités de source et de drain avec les pentes des diamants.

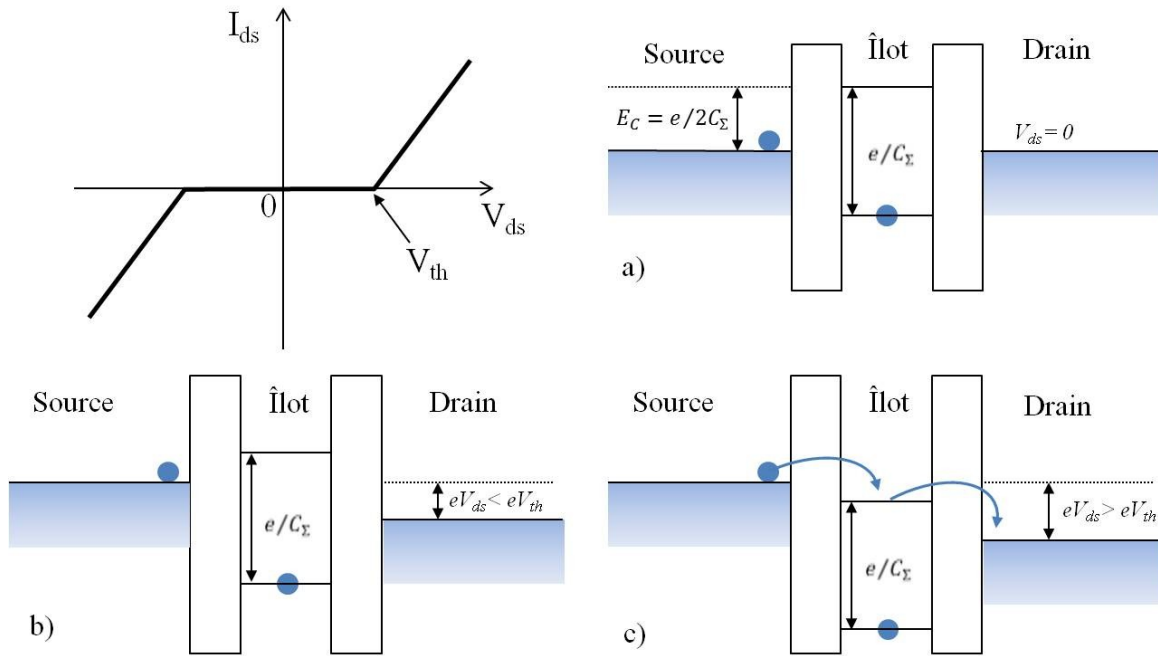


Figure 2.2 : La caractéristique I_{ds} - V_{ds} en haut à gauche. Schéma énergétique à a) $V_{ds} = 0$ V, b) $V_{ds} < V_{th}$ et c) $V_{ds} > V_{th}$.

La température de fonctionnement du SET, qui doit être égale ou supérieure à la température ambiante pour des raisons pratiques, est le plus gros frein à cette technologie. L'énergie thermique peut permettre aux électrons de surpasser l'énergie de charge, mais de surpasser aussi la hauteur de barrière du diélectrique. Dans ce dernier cas, les électrons ne

passent plus par effet tunnel direct, mais par émission thermoïonique. Un courant thermoïonique vient alors perturber le fonctionnement du SET. La figure 2.5 présente la caractéristique I_{ds} - V_{gs} en fonction de la température. Quand la température n'est plus négligeable devant l'énergie de charge ou la hauteur de barrière, un courant de fuite apparaît et peut amener la perte de la caractéristique oscillatoire du SET (figure 2.5). Pour fonctionner à haute température, les capacités reliées à l'îlot doivent être très petites et le courant thermoïonique faible. Il existe plusieurs approches pour diminuer l'effet de la température, mais chacune présente un compromis.

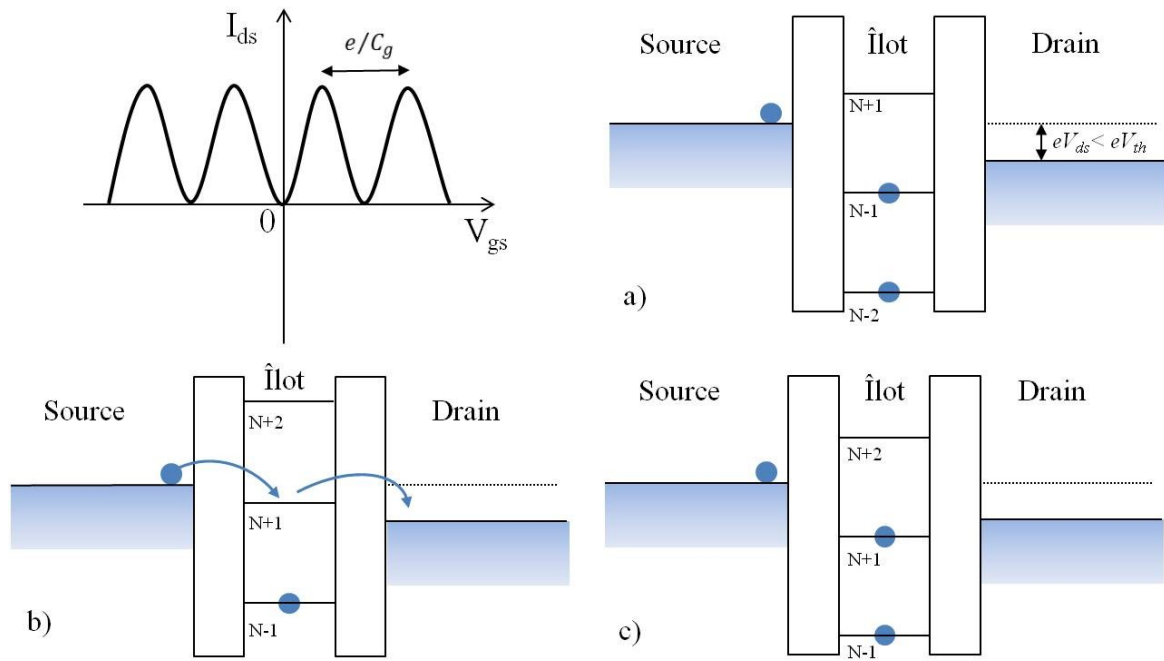


Figure 2.3 : La caractéristique I_{ds} - V_{gs} en haut à gauche. Niveaux d'énergie de l'îlot en augmentant V_{gs} à partir du bas d'un pic de courant, b) jusqu'en haut du pic et c) pour descendre au bas du pic.

Pour réduire le courant thermoïonique, le choix d'une grande hauteur de barrière entre le diélectrique et l'électrode métallique est justifié, mais limité, car le courant tunnel sera affaibli de manière significative si la barrière est trop grande. Pour diminuer les capacités, on peut soit diminuer les dimensions des structures ou la permittivité des diélectriques. Le problème principal dans la réduction de taille du dispositif est la difficulté de fabriquer des nanostructures et de déposer des matériaux de qualité de manière contrôlée, tout en ayant un SET fonctionnel. Concernant la constante diélectrique, elle peut être réduite jusqu'à une

certaine limite qui est celle de l'air ($\epsilon_{\text{air}} = 1$), mais cette réduction peut avoir aussi un impact négatif sur les performances électriques telles que le gain du transistor qui est proportionnel à la capacité de grille (Liu et al. 2002).

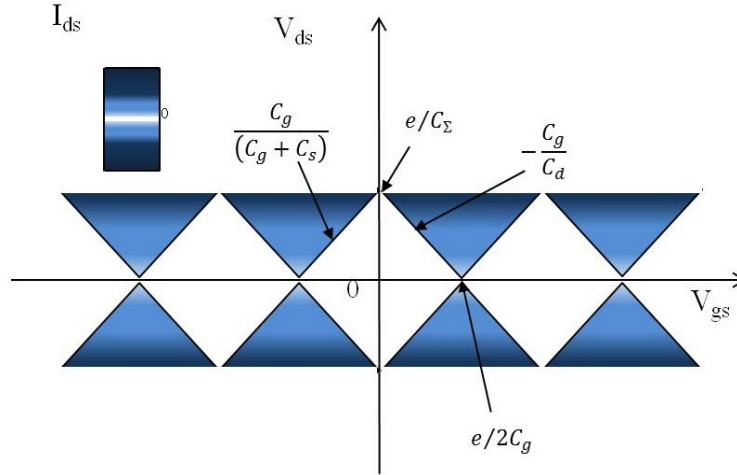


Figure 2.4 : Diagramme de stabilité d'un SET ou diamants de Coulomb.

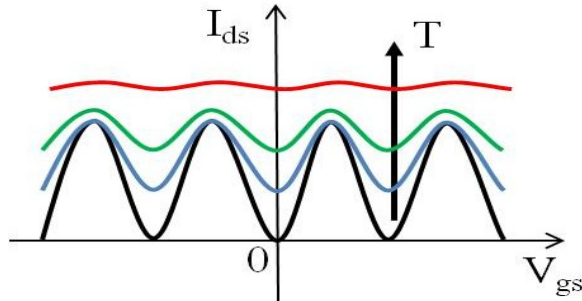


Figure 2.5 : Caractéristiques I_{ds} - V_{gs} en fonction de la température T .
 $T_{\text{rouge}} > T_{\text{noir}}$.

2.2 Hybridation SET-CMOS

Le SET a été vu au début par la communauté scientifique comme un remplaçant du transistor MOS. Des circuits logiques et mémoires à base de SET (Likharev 1987) ont été proposés pour montrer les opportunités possibles comme la réduction du nombre de transistors et de la consommation d'énergie par fonction par rapport à la technologie CMOS. Par la suite, le SET a été plutôt considéré comme une technologie complémentaire au CMOS (Toriumi et al. 1999). Le tableau 2.1 résume quelques principaux avantages et limitations de ces deux technologies. On remarque que les avantages de la technologie CMOS sont les limites du SET

et vice versa, d'où la volonté de combiner ces deux technologies pour profiter des avantages de chacune. Différentes architectures et outils de simulation de circuits hybrides ont été développés et ont permis de démontrer de nouveaux concepts ou encore l'obtention de performances accrues grâce à cette intégration hétérogène (Mahapatra & Ionescu 2005). L'hybridation peut aussi servir à ajouter de nouvelles fonctionnalités propres aux SET sur des circuits CMOS. Par exemple, on peut utiliser le SET comme un thermomètre (Pekola et al. 1994) ou un électromètre ultra-sensible (Cleland et al. 1992). Par contre, plusieurs difficultés à l'hybridation existent dont par exemple les techniques de fabrication, la température d'opération, les différences de courant et de tension, et les interconnexions entre les deux technologies. Les travaux de simulation (Parekh et al. 2012) ont démontré que l'augmentation de la longueur des interconnexions entre un étage de SET et un étage de CMOS diminuait fortement la fréquence d'opération du circuit hybride.

Tableau 2.1 : Comparaison des caractéristiques liées au CMOS et au SET.

	Avantages	Limitations
Technologie CMOS	<ul style="list-style-type: none"> - Fort gain et courant d'attaque - Technologie mature et répandue - Hautes fréquences 	<ul style="list-style-type: none"> - Limites physiques en dessous de 5 nm - Perte de puissance statique (fuites)
Technologie SET	<ul style="list-style-type: none"> - Forte densité d'intégration - Oscillations de Coulomb - Ultrabasse dissipation de puissance 	<ul style="list-style-type: none"> - Faible gain et courant d'attaque - Fabrication difficile pour une haute température d'opération

2.3 Intégration 3D

L'intégration 3D apporte quatre principaux avantages par rapport à l'intégration 2D :

- L'augmentation de la densité de transistors sans diminuer la taille des transistors. On a donc plus de composants par unité de surface sans ajouter des effets parasites dus à la miniaturisation.

- La réduction de la longueur des interconnexions, ce qui permet de réduire considérablement les délais de propagation du signal et la puissance dissipée par les interconnexions.
- La co-intégration de technologies hétérogènes.
- La réduction de coûts de production.

Il y a deux grandes approches qui sont considérées dans l'intégration verticale : la construction parallèle et la construction séquentielle ou monolithique. L'intégration de type parallèle consiste à fabriquer deux gaufres de circuits séparément, puis à les assembler par collage (figure 2.6). L'interconnexion entre les deux circuits est faite par des connexions verticales métalliques à travers le silicium et les couches diélectriques que l'on appelle TSV (*Through Silicon Via*). Le collage peut être moléculaire, adhésif ou encore métallique, et peut se faire entre des gaufres ou des puces. Les paramètres clés de cette approche sont la maîtrise du collage à basse température pour ne pas altérer les composants, le bon contrôle de l'alignement entre les deux circuits et l'aminçissement des gaufres. Cette approche parallèle est généralement préférée, car elle est plus facile à réaliser.

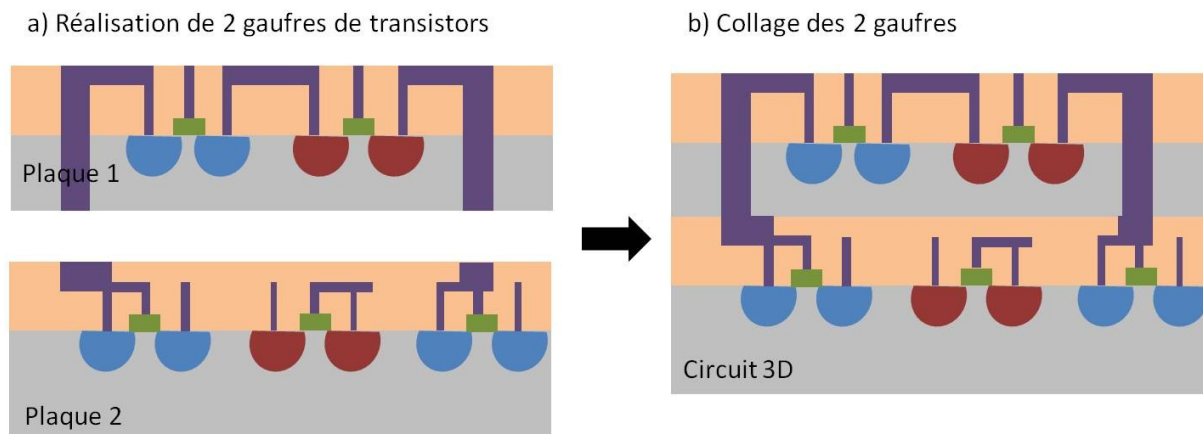


Figure 2.6 : Schémas d'assemblage de circuits intégrés par une intégration parallèle.

Sur une puce, on peut distinguer la première partie que l'on appelle FEOL (*Front-End-Of-Line*) où le premier niveau de transistors est fabriqué, et la partie BEOL (*Back-End-Of-Line*) dans laquelle les interconnexions sont réalisées après les transistors (figure 2.7). Dans l'intégration monolithique, les niveaux de transistors supplémentaires sont fabriqués les uns

sur les autres dans la partie FEOL ou BEOL, et sont connectés ensemble par des vias (*Vertical Interconnect Access*) comme l'illustre la figure 2.8. Les difficultés de cette approche sont la formation de la couche active de silicium cristallin sur une couche de diélectrique et la réalisation totale du procédé à des températures inférieures à 650 °C dans le FEOL (Batude et al. 2011) et à 450 °C dans le BEOL (Franssila 2010). Plusieurs démonstrations d'intégration monolithique dans le FEOL ont déjà été faites par le LETI avec un inverseur CMOS (Vinet et al. 2014) ou par Samsung avec l'empilement de 32 cellules mémoires NAND (Im et al. 2015). La figure 2.9 montre la vue en coupe de deux transistors fabriqués par le LETI grâce au collage moléculaire d'un substrat SOI. Comparée à l'intégration dans le FEOL, l'intégration dans le BEOL est limitée par une température de fabrication plus basse et une plus grande longueur d'interconnexions entre le premier niveau de transistors MOS et les niveaux supérieurs réduisant les performances électriques.

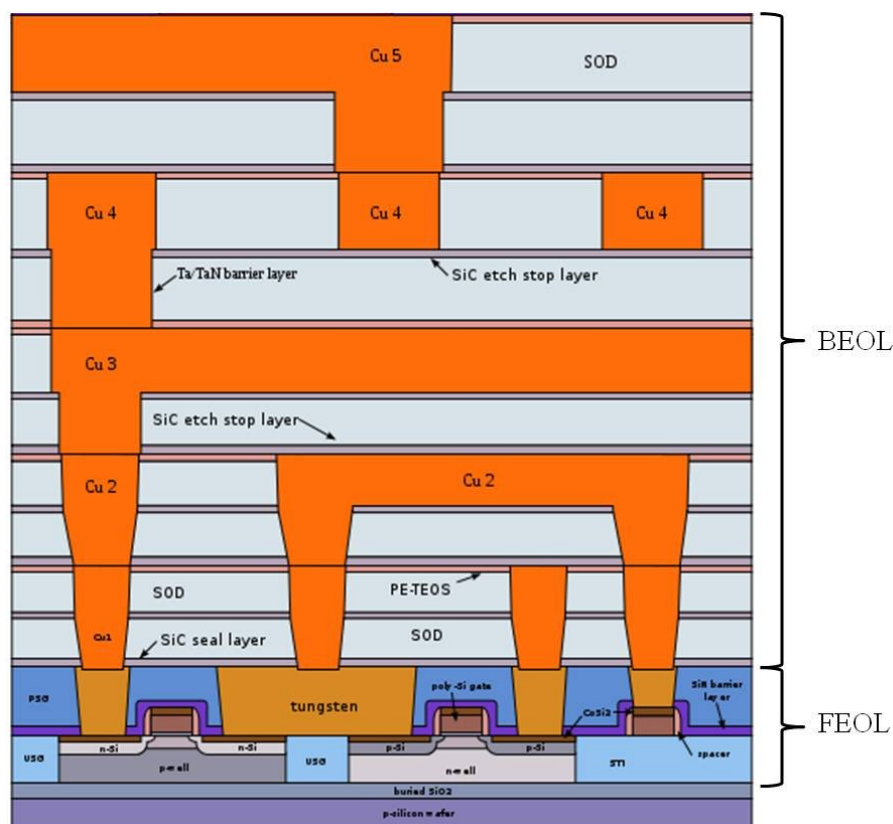


Figure 2.7 : Représentation de la partie FEOL (transistors) et BEOL (interconnexions) d'une puce CMOS (Wikipedia 2006).

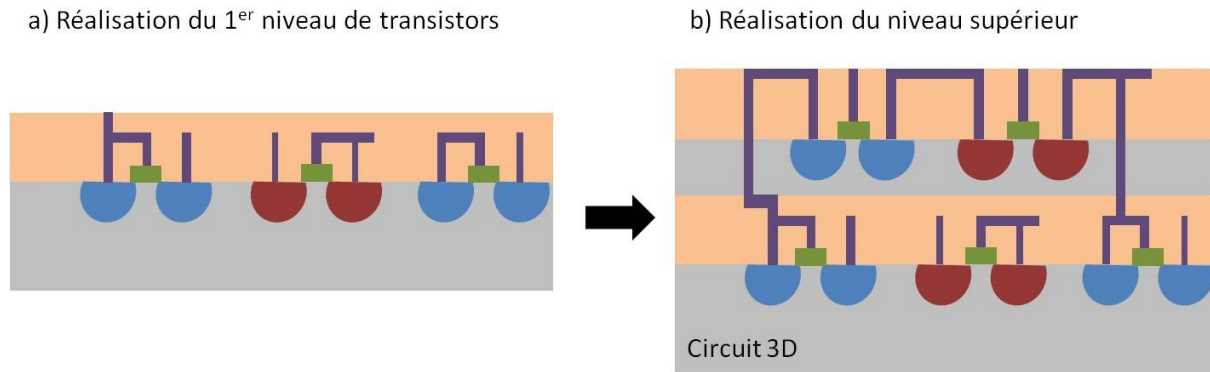


Figure 2.8 : Schémas de fabrication de circuits intégrés par une intégration monolithique.

Une différence majeure entre l'approche parallèle et monolithique est la densité d'interconnexions réalisables entre deux niveaux de transistors. Cette dernière est dépendante de la précision d'alignement. L'erreur d'alignement moyenne minimale est de 10 nm dans une intégration monolithique et de 0,1 μm dans une intégration parallèle (Batude et al. 2011). La différence vient du fait que dans l'intégration monolithique, la couche supérieure à aligner est très fine et donc transparente, contrairement à une gaufre entière pour l'intégration parallèle. Ceci permet donc d'aligner avec une précision lithographique. L'intégration séquentielle permet d'avoir une densité d'environ 10^{10} interconnexions/ cm^2 au lieu de 10^8 vias/ cm^2 pour le cas parallèle (Batude 2009).

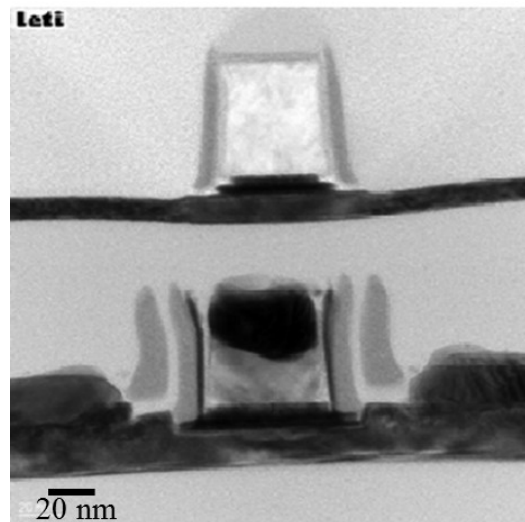


Figure 2.9 : Vue en coupe de deux transistors MOS fabriqués de façon monolithique par le LETI. (Vinet et al. 2014).

À partir de cette description sur l'intégration 3D, on comprend mieux les raisons qui ont conduit à choisir une approche monolithique pour l'hybridation SET-CMOS. De plus, la caractéristique métallique du SET est d'autant plus avantageuse puisque la difficulté de la fabrication de la couche de silicium monocristallin n'est pas nécessaire dans ce cas-là. L'intégration de SET métalliques dans le BEOL présente certes quelques défis par rapport à celle dans le FEOL, mais elle est moins coûteuse et plus facile à mettre en place.

2.4 Fabrication de SET

Les différentes techniques de fabrication de SET semi-conducteurs ou métalliques qui ont permis d'observer des oscillations de Coulomb à température ambiante ou d'intégrer un SET avec un transistor MOS vont être décrites dans les sections suivantes.

2.4.1 Évaporation à angle

La première démonstration de transistor monoélectronique a été faite avec le couple Al/ AlO_x par (Fulton & Dolan 1987) en utilisant la méthode d'évaporation de Dolan (Dolan 1977). Le procédé de fabrication est présenté à la figure 2.10. La technique consiste à faire deux évaporations sous deux angles différents, intercalées d'une étape d'oxydation pour oxyder la première couche déposée et créer les jonctions tunnel. L'avantage de cette technique réside dans sa simplicité de réalisation, mais elle ne permet pas d'avoir des surfaces de jonction tunnel assez faibles limitant la température d'opération. La température de fonctionnement du SET réalisé est donc cryogénique (1,1 K) et sa capacité totale est de 7 aF.

Toujours en utilisant le couple aluminium/oxyde d'aluminium, (Pashkin et al. 2000) ont réussi à améliorer cette technique en ajoutant une troisième étape d'évaporation afin de réaliser un SET avec une capacité totale de 1,39 aF et une température de fonctionnement de 300 K (figure 2.11). Une preuve de concept d'un circuit SET-CMOS a été réalisée par (Prager et al. 2011) en utilisant aussi cette technique d'évaporation. Le SET est fabriqué à côté du transistor MOS sur le même niveau et ne fonctionne qu'à une température inférieure à 1,1 K.

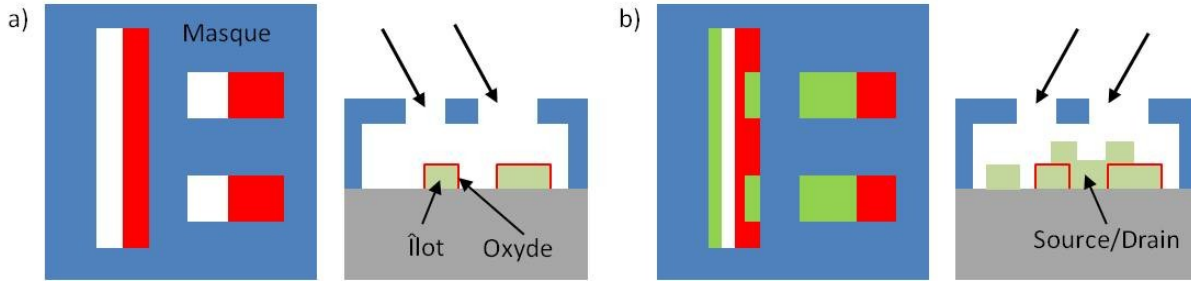


Figure 2.10 : Vue de dessus et en coupe du procédé de fabrication du SET. a) Évaporation à angle d'Al puis oxydation pour former l'îlot et les jonctions tunnel. b) Évaporation à angle pour former la source et le drain.

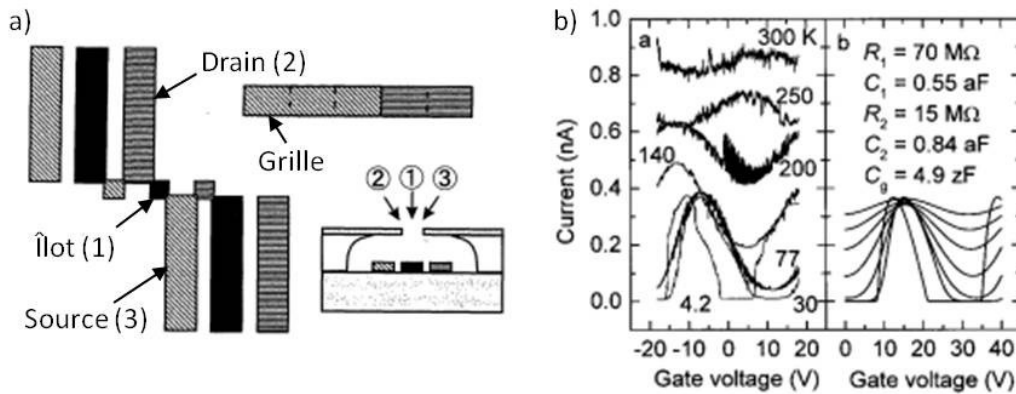


Figure 2.11 : a) Schéma du procédé à 3 évaporations à angle pour fabriquer un SET. b) Caractéristiques I_{ds} - V_g du SET en fonction de la température. (Pashkin et al. 2000).

2.4.2 Oxydation par sonde à balayage (SPM)

Le premier SET fonctionnant à température ambiante a été réalisé par (Matsumoto et al. 1996) en utilisant la pointe d'un STM (*Scanning Tunneling Microscope*) pour créer les jonctions tunnel. Cette technique consiste à déposer une fine couche de métal et à balayer sa surface avec une pointe de STM polarisée négativement afin d'oxyder localement la surface avec l'humidité de l'air (figure 2.12a). Les figure 2.12b-c montrent une image AFM d'un SET fabriqué en titane et sa caractéristique électrique respectivement. L'avantage de cette méthode est le contrôle précis de la localisation des jonctions. Par contre, un des inconvénients de cette technique est la grande épaisseur des jonctions qui est d'environ 15 nm à 25 nm. La capacité totale de l'îlot est faible (0,71 aF), mais le courant mesuré est aussi très faible et de l'ordre de

la centaine de fA. Cette technique peut aussi se faire avec une pointe d'AFM (*Atomic Force Microscope*) comme l'ont montré (Shirakashi et al. 1998) en fabriquant un SET en niobium qui fonctionne à 300 K, mais avec un courant utile faible. La faiblesse majeure de cette technique est son incapacité de réaliser des dispositifs en très grande quantité à cause de la nécessité d'utiliser une pointe de microscope.

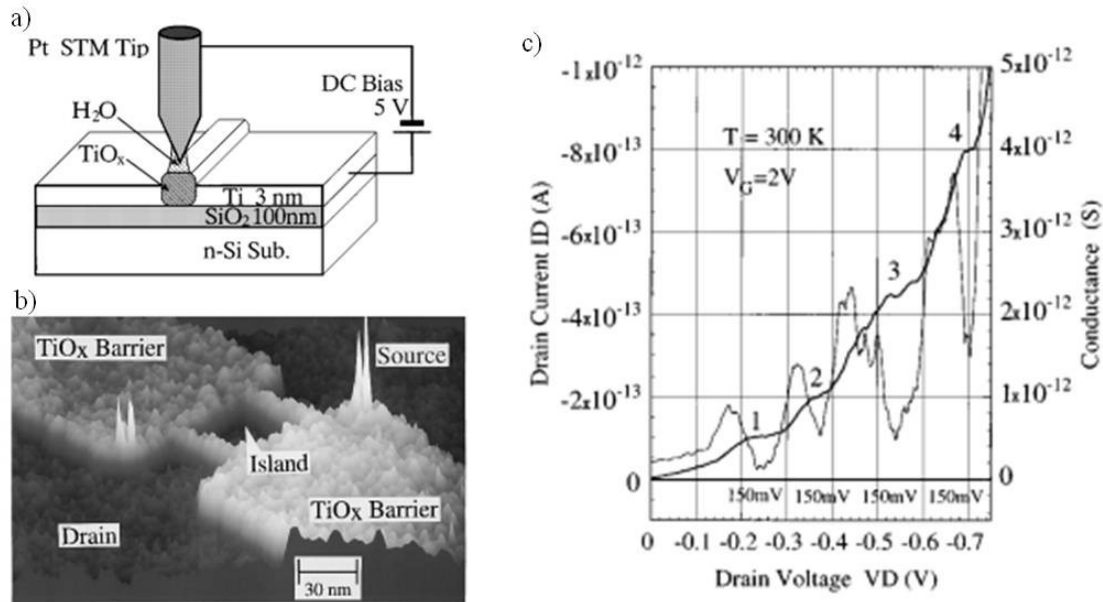


Figure 2.12 : a) Illustration de l'anodisation de la surface de Ti. b) Image AFM du SET. c) Caractéristiques I_d - V_d du SET. (Matsumoto et al. 1996).

2.4.3 Auto-assemblage de points quantiques

Les techniques précédentes ont été utilisées pour la fabrication de SET métalliques. Les trois prochaines sont utilisées pour des SET en silicium. La première consiste à faire croître par LPCVD (*Low Pressure Chemical Vapor Deposition*) des points quantiques de silicium auto-assemblés et déposer ensuite des nano-électrodes pour former la source et le drain (figure 2.13a). La distance entre les deux électrodes est très petite afin d'avoir seulement quelques îlots pour le SET. Avec cette méthode, (Choi et al. 1998) ont démontré le fonctionnement d'un SET à température ambiante avec une capacité totale de 1,59 aF (figure 2.13b). L'avantage de cette technique est la fabrication d'îlots très petits de l'ordre de 7 à 10 nm. Cependant, la taille

des îlots et leur nombre sont très incertains, et la température de l'étape de LPCVD est assez élevée (620 °C).

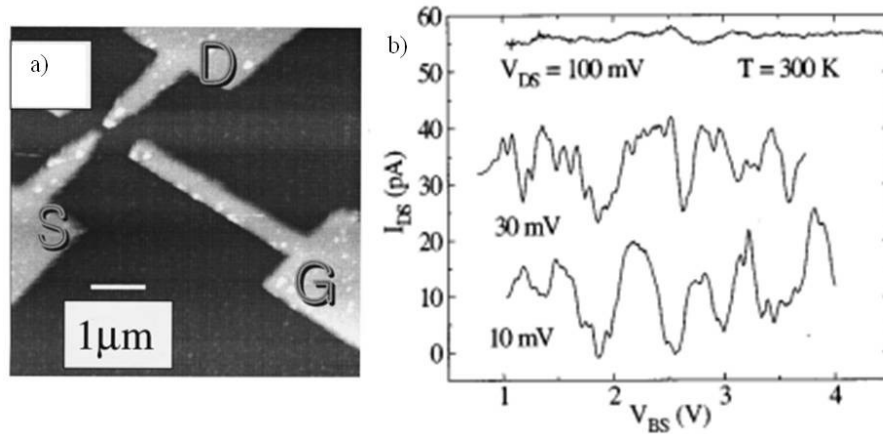


Figure 2.13 : a) Image SEM du SET fabriqué avec des points quantiques en Si auto-assemblés. b) Caractéristique du courant en fonction de la polarisation de la grille arrière et de la température. (Choi et al. 1998).

2.4.4 Oxydation géométrique (PADOX)

Cette technique qui s'appelle PADOX (*Pattern-Dependent OXidation*) a été inventée par (Takahashi et al. 1995) et améliorée par (Ono et al. 2000). Elle consiste à oxyder un nanofil de silicium gravé par plasma sur un substrat SOI (*Silicon On Insulator*). L'oxydation va permettre premièrement de réduire la taille du nanofil et de créer aussi des zones resserrées à chaque bout du nanofil à cause d'une question de contraintes. Ces régions resserrées sont des barrières de potentiel et vont agir comme des jonctions tunnel. On se retrouve donc avec un point quantique qui sert d'îlot pour le SET, comme le présente la figure 2.14. (Shin et al. 2010) ont repris cette technique avec une structure finFET (figure 2.15a). Ils ont pu obtenir un SET fonctionnant à température ambiante et possédant une capacité totale de 0,42 aF associée à une taille d'îlot de 2 nm. La figure 2.15b présente les oscillations de Coulomb de 100 K à 300 K. Ce SET a été fabriqué à côté d'un transistor MOS pour former un circuit hybride appelé la porte universelle qui peut servir à faire de la logique multivaluée (figure 2.15c). La caractéristique de sortie V_{out} est montrée à la figure 2.15d et est en accord avec les oscillations de Coulomb. Les avantages de cette méthode sont qu'elle utilise des techniques industrielles et

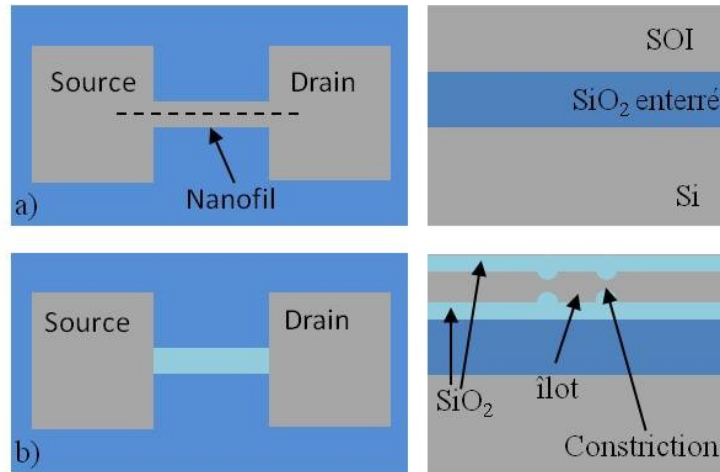


Figure 2.14 : Vue en coupe du nanofil a) avant oxydation et b) après oxydation

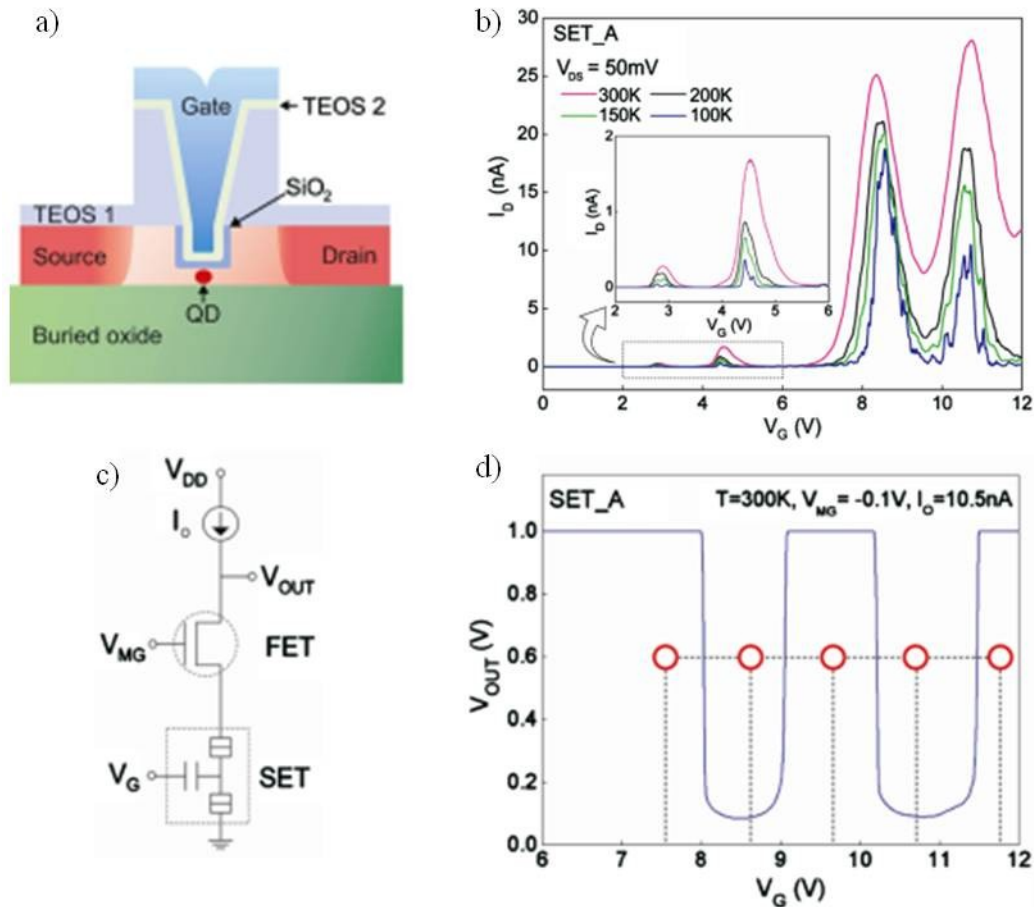


Figure 2.15 : a) Schéma de la coupe dans le canal de conduction du SET. b) Caractéristiques I_d - V_g du SET fabriqué. c) Schéma électrique de la porte universelle. d) Caractéristique de sortie du circuit hybride. (Shin et al. 2010).

qu'on obtient un îlot de très petite taille, ce qui signifie une plus haute température de fonctionnement. Les principaux inconvénients de cette technique sont l'oxydation qui se fait à très haute température (900 °C), la taille de l'îlot qui n'est pas vraiment contrôlée, et la formation possible de plusieurs îlots.

2.4.5 Nanofil ultra fin

Cette technique est toute récente et sa finalité est semblable à celle du PADOX : réduire la taille d'un nanofil de silicium tout en créant des barrières de potentiel. Les premiers à démontrer cette méthode sont (Deshpande et al. 2012). Ils ont observé qu'en réduisant la largeur d'un nanofil d'un transistor MOS Tri-gate jusqu'à 5 nm, on pouvait passer d'un fonctionnement de transistor MOS à un comportement de transistor monoélectronique. Les figure 2.16a-c présentent une image SEM du nanofil sans sa grille et son diagramme de stabilité une fois que la grille est formée. La présence de diamants de Coulomb à 300 K est observable et correspond à une capacité totale d'îlot de 1.88 aF. L'hypothèse apportée est que lors de la fabrication du nanofil, un désordre de potentiel peut apparaître dû par exemple à une rugosité de bord de ligne, et cela va ainsi créer un confinement menant à un îlot (figure 2.16b). Cette technique présente donc un très grand avantage par rapport à la méthode PADOX puisqu'elle utilise exactement les mêmes procédés que pour fabriquer un transistor MOS avancé, sans avoir recours à une oxydation à haute température. Pour le moment, les inconvénients résident toujours dans le contrôle de la taille et le nombre d'îlots.

Récemment, (Lavieville et al. 2016) ont utilisé cette technique pour fabriquer un SHT (*Single Hole Transistor*) à côté d'un transistor MOS et ont démontré la fonctionnalité d'un circuit hybride fonctionnant à 350 K. Les figure 2.17a-b-c présentent des images des dimensions du transistor. Le diamètre du nanofil atteint est de 3,4 nm. Le circuit hybride est présenté à la figure 2.17d et a une fonctionnalité d'amplificateur/inverseur. La figure 2.17e montre le courant de sortie avec un SHT seul, et l'inversion et l'amplification du courant lorsqu'il est connecté à un transistor MOS.

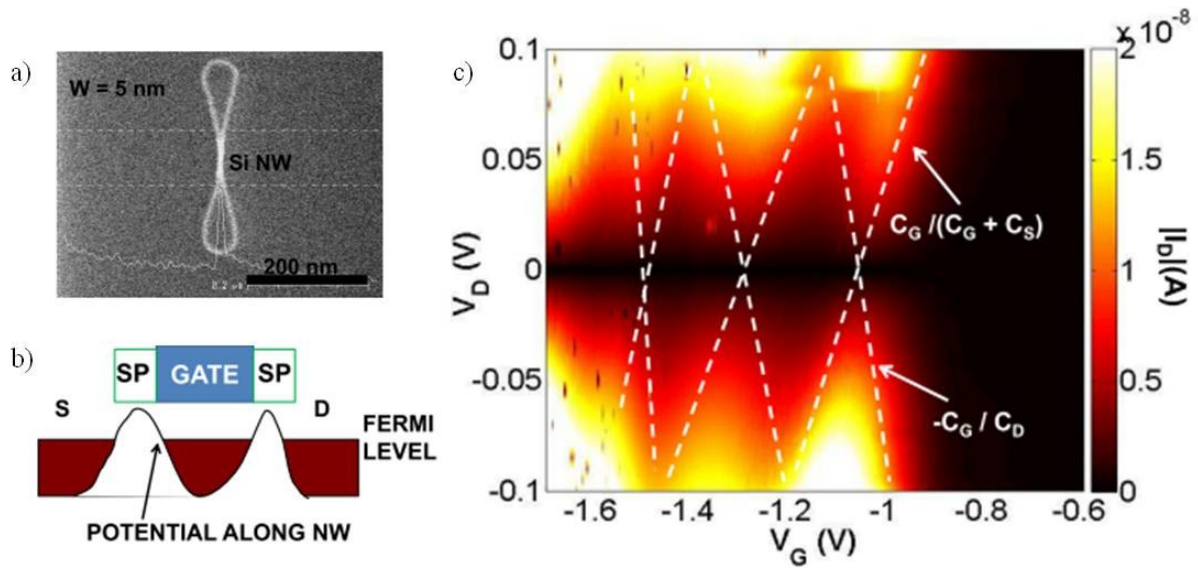


Figure 2.16 : a) Image SEM d'un nanofil avec une largeur de 5 nm b) Schéma du potentiel le long du nanofil. c) Diamant de Coulomb à 300 K. (Deshpande et al. 2012).

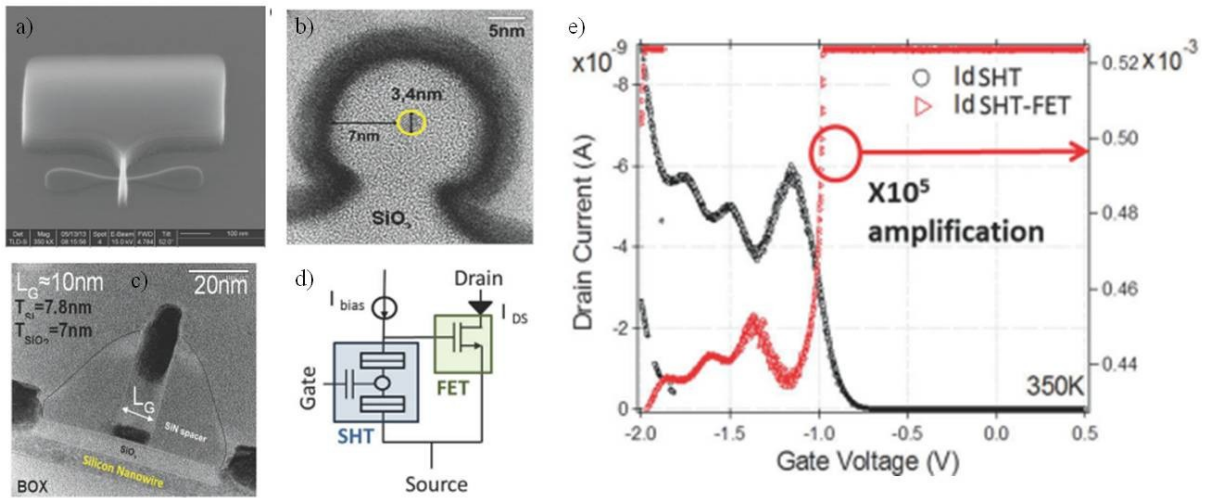


Figure 2.17 : a) Image SEM du transistor. Image TEM de la vue en coupe b) transversale et c) longitudinale du nanofil. d) Schéma du circuit de l'amplificateur/inverseur hybride. e) Caractéristique de sortie du circuit. (Lavieville et al. 2016).

2.4.6 Procédé *nanodamascène*

À l'Université de Sherbrooke, (Dubuc et al. 2007) ont mesuré un SET métallique fonctionnant jusqu'à 433 K et fabriqué avec un procédé que l'on appelle *nanodamascène*. La capacité totale de l'îlot obtenue est de 0,35 aF avec une grille en face arrière, et c'est le titane

qui est utilisé comme matériau pour l'îlot, le drain et la source, et le TiO_x pour les jonctions tunnel. La figure 2.18 présente les oscillations de Coulomb correspondantes, et le procédé de fabrication est présenté à la figure 2.19. Le succès du procédé repose principalement sur deux techniques de fabrication : l'électrolithographie et le polissage mécano-chimique. L'électrolithographie permet de définir un îlot unique avec une taille nanométrique et le polissage permet de réduire la surface des jonctions tunnel en amincissant l'épaisseur du dispositif. L'îlot est déposé par soulèvement et les jonctions tunnel sont obtenues par oxydation de l'îlot à température ambiante. Le procédé a été amélioré par (Morissette 2010) en mettant une grille latérale auto-alignée. Avec cette méthode, (Guilmain 2013) a réalisé un SET fonctionnant à 1,6 K en utilisant des jonctions en $\text{TiO}_x/\text{Al}_2\text{O}_3$ et un îlot en Ti. La couche d' Al_2O_3 a été déposée par ALD (*Atomic Layer Deposition*). De plus, (Jouvet 2012) a montré que ce procédé est compatible avec la technologie CMOS en réalisant des SET dans le BEOL d'un substrat CMOS. Les avantages de cette technique sont la réduction de l'îlot par l'oxydation, la compatibilité avec la technologie CMOS et la formation d'un îlot de très petite taille avec des capacités très faibles.

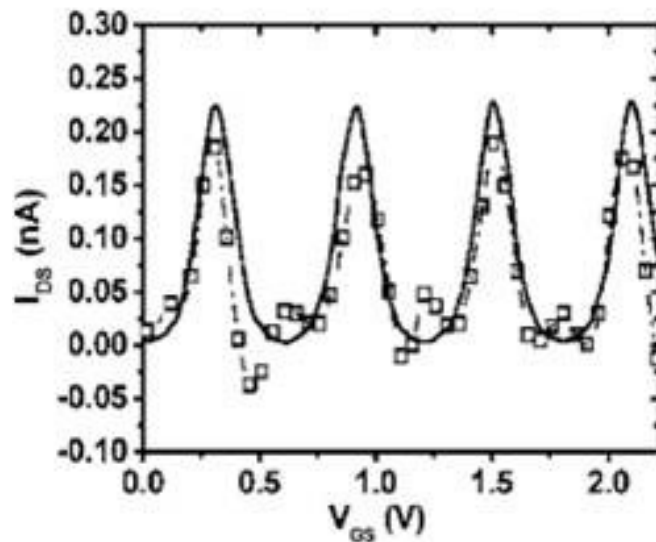


Figure 2.18 : Oscillations de Coulomb du SET fabriqué par *nanodamascène* à 300 K. (Dubuc et al. 2007)

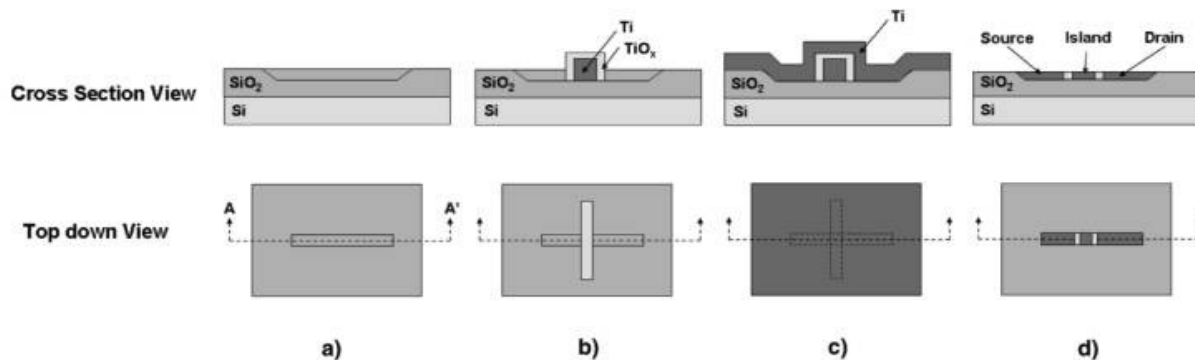


Figure 2.19 : Procédé de fabrication *nanodamascène*. (Dubuc et al. 2007)

2.5 Conclusion

Au vu de l'état de l'art qui vient d'être fait, on peut affirmer que l'hybridation de la technologie CMOS avec celle du SET est très prometteuse. Le SET présente des caractéristiques intéressantes donnant naissance à de nouvelles applications possibles. Des circuits hybrides ont déjà été réalisés et mesurés à température ambiante, démontrant ainsi la faisabilité de l'intégration hétérogène. Pour l'instant l'intégration de SET se fait principalement au même niveau que les transistors MOS. L'intégration 3D serait une voie d'intégration très avantageuse, surtout celle qui est monolithique et qui n'est pour l'instant pas très répandue. Dans le cadre de ce projet, c'est le procédé *nanodamascène* qui est retenu pour l'intégration monolithique de SET métalliques dans le BEOL d'un substrat CMOS. Ce procédé a déjà fait ses preuves, mais quelques améliorations et développements restent à faire pour arriver à fabriquer un circuit hybride fonctionnant à température ambiante.

Dans le chapitre suivant, le nouveau procédé de fabrication *nanodamascène* inverse sera détaillé et les développements de procédé de fabrication effectués durant ce projet seront présentés.

CHAPITRE 3 Développement du procédé de fabrication de SET

Dans ce chapitre 3, le procédé « inverse » de fabrication de SET avec une grille auto-alignée va être tout d'abord présenté. Les développements réalisés pour plusieurs étapes de fabrication seront ensuite détaillés. Toutes les étapes décrites sont effectuées dans la salle blanche de l'institut interdisciplinaire d'innovation technologique (3IT) à Sherbrooke sauf l'étape de déposition par couche atomique (ALD) qui est réalisée dans la salle blanche de la plateforme technologique amont (PTA) à Grenoble.

3.1 Procédé *nanodamascène* inverse

La figure 3.1 présente en sept étapes principales le procédé de fabrication qui est utilisé pour fabriquer des SET métalliques dans ce projet. Ce procédé est appelé procédé inverse, car la source et le drain du SET sont définis avant l'îlot du SET, contrairement au procédé présenté dans les travaux de (Dubuc et al. 2008). L'avantage de ce changement de structure sera présenté ci-après dans l'explication détaillée du procédé. Le substrat utilisé est une gaufre de silicium qui a été oxydée thermiquement jusqu'à obtenir une épaisseur de 150 nm de SiO_2 à la surface. Cet oxyde est déposé avec une épaisseur suffisamment grande afin d'isoler les dispositifs du substrat de silicium. Le TiN, qui est un matériau du BEOL, a remplacé le Ti dans ce procédé, car le titane réagit facilement avec l'oxygène de l'air pour former un oxyde natif pouvant atteindre 3,5 nm (Hass & Bradford 1957) et réagit aussi avec le SiO_2 (Jouvet 2012). Par contre, l'oxyde natif qui se forme sur le TiN à l'air ambiant est inférieur à 1,1 nm (Ernsberger et al. 1986) et est très stable avec le SiO_2 et le Si_3N_4 (Claflin & Lucovsky 1998).

L'étape (1) permet de définir des réseaux de lignes reliés à des plots de contacts qui serviront de chemins électriques pour caractériser les nanodispositifs. Des marques d'alignement sont aussi définies pour être utilisées dans des étapes subséquentes, et des motifs sacrificiels (*dummies*) sont présents tout autour des microstructures pour obtenir une surface plane lors d'une étape de polissage ultérieure. Pour ce faire, une première photolithographie (UV1) est effectuée avec de la S1805 qui est une photorésine positive. Une gravure par plasma

à couplage inductif (ICP) de 40 nm de profond est réalisée afin de transférer ces motifs micrométriques dans la couche de SiO_2 , et une étape de nettoyage aux solvants est ensuite faite pour enlever la résine. La recette de gravure à base de CF_4 sera détaillée dans la prochaine partie de ce chapitre.

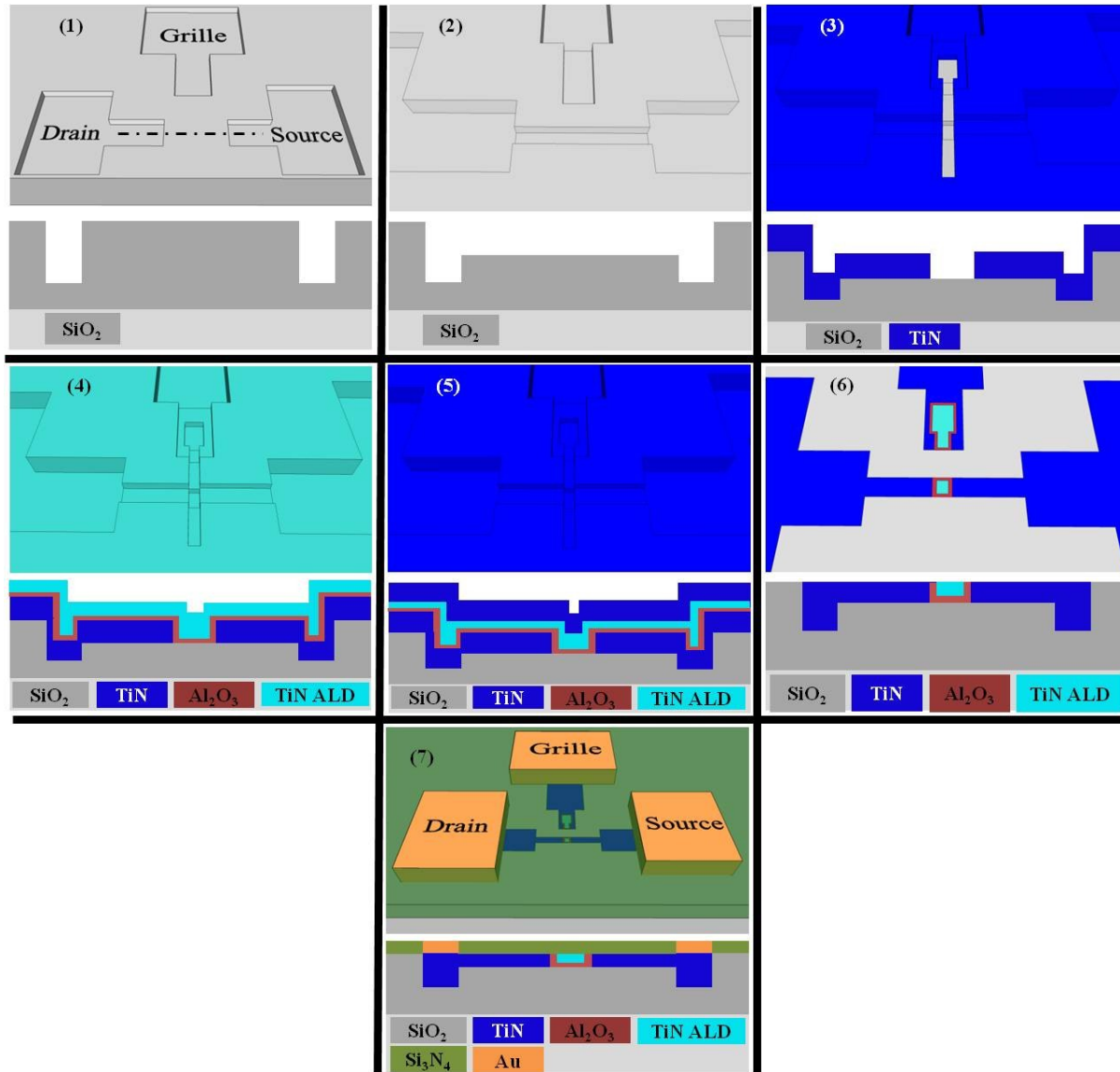


Figure 3.1 : Procédé *nanodamascène* inverse pour la fabrication de SET. Les vues en coupes sont faites au niveau de la ligne pointillée entre le drain et la source.

L'étape (2) permet de créer une nanotranchée qui servira de canal pour le SET (drain, îlot et source) et une boîte perpendiculaire à ce canal qui servira de grille pour le SET. Une

première électrolithographie (EBL1) suivie d'une gravure ICP de 20 nm de profond est ainsi réalisée. L'électrorésine positive utilisée est la ZEP 520 qui est diluée 2,4:1 avec de l'anisole (ZEP 2,4) pour obtenir une épaisseur de 90 nm. Elle est exposée à un faisceau d'électrons avec une énergie de 20 keV et est développée dans de l'O-Xylène puis dans une solution de méthylisobutylcétone (MIBK) pour arrêter le développement. Une étape de nettoyage aux solvants comme dans l'étape (1) est réalisée après la gravure pour enlever la résine.

L'étape (3) permet de définir la source et le drain du SET, et donc l'emplacement de l'îlot du SET. Tout d'abord, une couche de TiN de 25 nm d'épaisseur est déposée sur toute la surface afin de remplir complètement les tranchées créées lors de l'EBL1. Dans ce projet, le TiN est déposé par pulvérisation cathodique (*sputtering*) afin d'obtenir un dépôt conformable et une bonne stœchiométrie, mais il pourrait être déposé aussi par ALD pour obtenir un dépôt plus uniforme et plus conforme. Ensuite, une ligne perpendiculaire au canal du SET et passant par la boîte de la grille est définie par une deuxième électrolithographie (EBL2). Cette étape permet d'avoir une grille auto-alignée avec l'îlot. Cette ligne est gravée entièrement grâce à un procédé de gravure chloré qui sera détaillé dans la section 3.5 de ce chapitre. Une étape de nettoyage classique est finalement effectuée.

L'étape (4) sert à déposer sur toute la surface de l'échantillon un ou plusieurs oxydes qui serviront de jonctions tunnel au SET et le métal de l'îlot. La méthode de déposition choisie est l'ALD, car elle permet de déposer un matériau par monocouche atomique et ainsi obtenir un dépôt ultra conformable, uniforme, contrôlable et de très bonne qualité dans les nanotranchées. De plus, contrairement à la méthode d'oxydation de l'îlot, l'ALD permet de choisir la nature de ce que l'on dépose, de déposer plusieurs oxydes, et de réduire la taille finale de l'îlot. En effet, quand le dépôt de l'oxyde se fait dans la nanotranchée, cela réduit la profondeur, la largeur et la longueur du canal où se dépose le métal de l'îlot. Cela a pour impact de réduire la capacité de l'îlot et par conséquent d'élever la température de fonctionnement du SET. Dans notre projet, on dépose de l' Al_2O_3 pour les jonctions tunnel et du TiN pour l'îlot par ALD thermique à 250 °C avec comme précurseurs le triméthylaluminium ($\text{Al}(\text{CH}_3)_3$) et le tétrakis diméthylamino titane ($\text{Ti}(\text{NMe}_2)_4$) respectivement. Le dépôt de TiN se fait directement à la suite de l'oxyde pour éviter une contamination possible lors d'une exposition à l'air.

On dépose ensuite une couche de TiN de 80 nm d'épaisseur lors de l'étape (5) pour remplir complètement les microstructures et avoir au moins une épaisseur de métal deux fois

plus grande que la profondeur des structures pour aplanir correctement l'échantillon (Oliver 2004).

L'étape (6) consiste à aplanir et amincir l'échantillon jusqu'à arriver à la surface initiale du SiO_2 . Une fois arrivé à ce stade qu'on appelle T_0 , on continue de polir pour réduire l'épaisseur du SET dans le but de réduire la capacité totale de l'îlot. Ce procédé de planarisation est réalisé par polissage chimico-mécanique (CMP) avec du slurry Celexis CX94 qui est une solution neutre contenant des particules de $0.130\ \mu\text{m}$ d'oxyde de cérium. Lors de la planarisation, des observations au microscope électronique à balayage (SEM) sont effectuées pour déterminer à quel moment on arrive à T_0 .

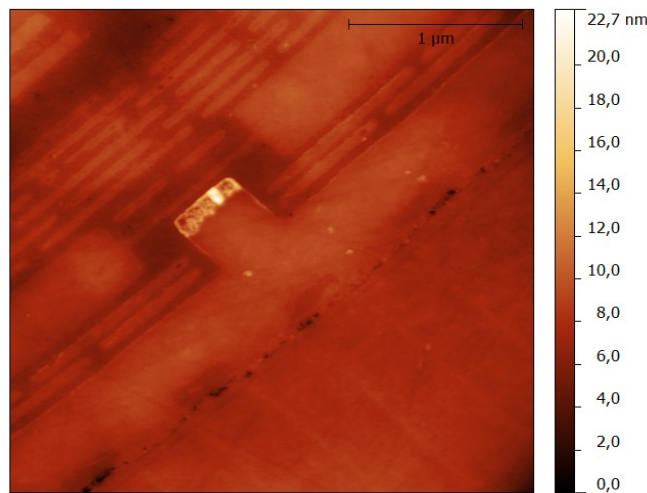


Figure 3.2 : Image AFM d'un SET sans passivation après caractérisation électrique.

Enfin, l'étape (7) permet de passiver l'échantillon pour éviter le contact prolongé de l'air avec les dispositifs. En effet, sans passivation le dispositif vieillit en réagissant avec l'oxygène de l'air (Guilmain et al. 2013). De plus après des caractérisations électriques de dispositifs, des mesures AFM ont montré des gonflements sur l'électrode de grille (figure 3.2). Ce phénomène pourrait s'expliquer par l'oxydation avec l'air de l'électrode de grille à cause du potentiel appliqué (Gwo et al. 1999). Les travaux de (Droulers 2016) ont démontré qu'après passivation, les caractéristiques électriques des dispositifs restaient stables. Une couche de $100\ \text{nm}$ de Si_3N_4 est ainsi déposée par dépôt chimique en phase vapeur assisté par plasma (PECVD). Une photolithographie avec une double résine (S1805 et LOR3A) et une gravure ICP sont réalisées afin de définir des ouvertures sur les plots de contacts faites en UV1. On

dépose ensuite une couche d'or et l'on effectue un soulèvement pour ne laisser que les plots en or. Tous les détails du procédé de fabrication au complet sont présentés en Annexe A.

3.2 Polissage du TiN

La CMP est un procédé qui permet d'aplanir la surface d'échantillons en combinant un polissage abrasif et une gravure chimique. La figure 3.3 illustre les différents éléments d'une machine de CMP. Elle est principalement composée d'un plateau rotatif recouvert d'un tapis (*pad*), d'une tête de polissage rotative dans laquelle l'échantillon est monté à l'envers et d'un tuyau qui fournit une solution de nanoparticules, appelée slurry, sur le plateau. Le plateau et la tête de polissage en rotation sont mis en contact avec une certaine pression (apport mécanique) avec le slurry (apport chimique et mécanique), ce qui permet le polissage de l'échantillon. Dans notre application, la CMP est utilisée pour trois fonctions : aplanir le relief de métal dû aux différentes gravures de structures dans le SiO_2 , aplanir jusqu'à T_0 afin de déconnecter les différentes structures métalliques les unes des autres, et enfin amincir finement l'échantillon afin de réduire l'épaisseur des dispositifs.

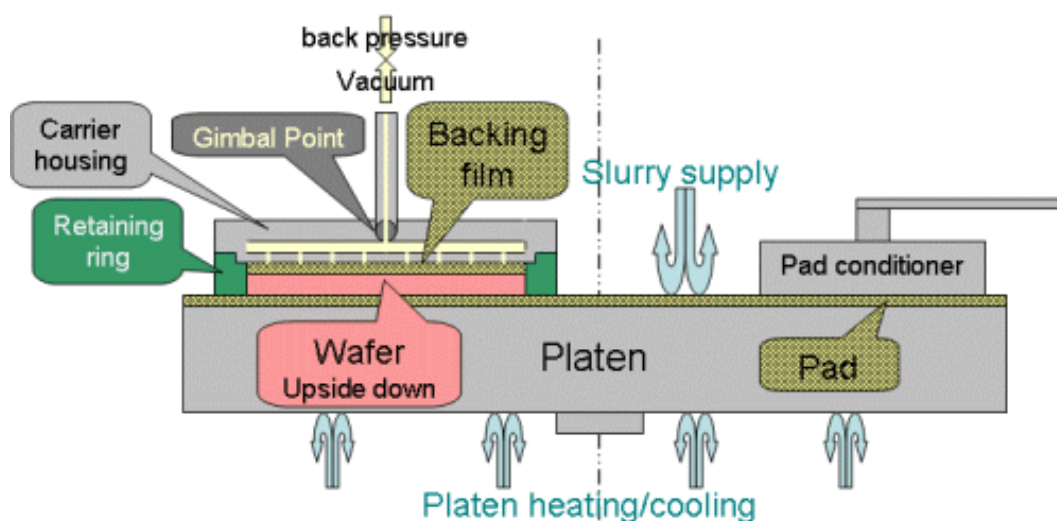


Figure 3.3 : Illustration d'une machine de polissage mécano-chimique.
(Alpsitec SARL 2015)

Pour polir du Ti dans le procédé classique, on utilise une solution basique contenant des nanoparticules de silice de 50 nm de diamètre diluée avec de l'IPA (Ecoffey et al. 2011). Cette

solution sera référencée dans le reste du manuscrit comme le slurry Allied. Dans le procédé inverse, le TiN a complètement remplacé le Ti utilisé dans le procédé classique. Par conséquent, il a été nécessaire de développer un procédé de polissage du TiN pour trouver des nouveaux paramètres de polissage donnant une vitesse de polissage autour de 20 nm/min pour avoir un bon contrôle du procédé, et obtenir une sélectivité d'environ de 1 entre le TiN et le SiO₂ afin de pouvoir amincir uniformément les dispositifs présents à la surface de l'échantillon. Ces développements ont été effectués par Chao L., un stagiaire du groupe de recherche, et ont permis d'obtenir sur pleine plaque une vitesse de polissage du TiN d'environ 30 nm/min et de 25 nm/min pour du SiO₂ thermique. Le slurry qui a été sélectionné est le Celexis CX94 qui est une solution neutre contenant des particules d'oxyde de cérium de 130 nm de diamètre. On l'appellera le slurry CX dans le reste du manuscrit pour une question de simplicité.

3.3 La gravure plasma

Le remplacement de l'étape de soulèvement du procédé classique par une étape de gravure plasma permet de rendre le procédé compatible avec la partie BEOL du CMOS, et de s'affranchir des inconvénients liés au soulèvement, tels que le manque d'adhésion et de reproductibilité, ou la limite de résolution et d'épaisseur de métal déposée. Avant de discuter des procédés de gravure développés dans ce projet, une introduction sur la gravure plasma est présentée.

3.3.1 Généralités sur les plasmas

Afin de mieux comprendre l'ensemble des mécanismes de gravure par plasma intervenant lors d'une gravure sèche, une introduction sur les plasmas s'impose. Il est difficile de connaître, de comprendre, et de contrôler parfaitement toutes les réactions qui se passent dans un plasma ou aux surfaces en contact avec le plasma. Ces réactions sont nombreuses, rapides, dépendantes des conditions de travail et compétitives mutuellement. La chimie du plasma devient donc très vite compliquée, et trouver les paramètres adéquats pour un procédé de fabrication n'est pas une tâche que l'on peut faire avec la théorie uniquement. À l'aide d'études expérimentales et en connaissant les différentes réactions possibles, on peut essayer

d'expliquer l'influence des différents paramètres sur le procédé et les mécanismes de gravure mis en jeu afin de trouver les paramètres optimaux pour obtenir un procédé stable.

Le plasma est le quatrième état de la matière et est défini comme un gaz quasi neutre composé de particules neutres (atomes, molécules, radicaux) et de particules chargées (ions et électrons). La quasi-neutralité provient du fait qu'il existe des concentrations locales de charges positives et négatives, mais qu'en intégrant sur le volume total, les densités des charges positives et négatives sont égales. Les deux acteurs principaux dans la formation et le maintien d'un plasma sont les électrons et les ions. À basse pression (10^{-4} à 10 Torr), lorsqu'un champ électrique est appliqué à un gaz entre deux électrodes, les électrons libres acquièrent de l'énergie cinétique et produisent une dissociation et une ionisation des particules neutres par collisions inélastiques. Une diffusion ambipolaire est alors créée. Les réactions dans un réacteur plasma sont soit homogènes (interactions des espèces gazeuses) ou hétérogènes (interactions des espèces gazeuses avec les surfaces solides environnantes). La chimie des plasmas a été introduite premièrement pour synthétiser des gaz et a ensuite été utilisée pour faire des dépôts et des gravures sèches en microélectronique. Les réactions sont nombreuses et complexes, et les principales réactions sont présentées dans les paragraphes suivants.

Les réactions homogènes peuvent se faire entre électrons et espèces chimiques ou juste entre espèces chimiques à l'intérieur du plasma. Il y a trois réactions importantes à retenir : la dissociation, l'ionisation et la recombinaison. La dissociation permet de séparer des molécules pour obtenir des espèces neutres instables et très réactives appelées radicaux. L'ionisation consiste à produire des ions négatifs ou positifs après collision. L'énergie de dissociation (quelques eV) est plus faible que l'énergie d'ionisation (plusieurs dizaines d'eV) en général, ce qui fait que la densité de radicaux est supérieure à la densité d'ions. La recombinaison représente la collision d'au moins deux espèces pour former une troisième espèce. Par exemple, des atomes d'oxygène et de dioxygène peuvent former de l'ozone.

Les réactions hétérogènes se font lorsque des espèces du plasma réagissent avec une surface solide. Quatre mécanismes sont dominants : l'adsorption, la recombinaison, la polymérisation et la pulvérisation. Premièrement, l'adsorption met en jeu des espèces neutres

gazeuses qui viennent s'adsorber à la surface. La recombinaison est la réaction d'atomes ou de radicaux avec des espèces déjà adsorbées pour former des composés volatils ou non. La polymérisation produit un dépôt de polymères à la surface par réaction de radicaux gazeux avec des radicaux adsorbés. Enfin, l'origine de la pulvérisation vient du fait que les surfaces ont un potentiel négatif par rapport au plasma, et elles attirent donc les ions positifs qui viennent pulvériser les atomes de la surface ou les espèces adsorbées. En plus de ce phénomène physique, les ions jouent un très grand rôle dans les réactions chimiques. En percutant la surface, les ions dissipent une partie de leur énergie sous forme de chaleur, ce qui peut permettre la formation ou la désorption de produits. Une autre partie de leur énergie est aussi transférée sous forme de diffusion des atomes à travers la surface, ce qui a pour conséquence de favoriser les réactions avec la surface. La pulvérisation et les effets induits par les ions sont à l'origine de l'anisotropie d'une gravure plasma. En effet, les ions étant accélérés selon une direction donnée, les surfaces perpendiculaires à cette direction seront gravées préférentiellement.

3.3.2 Réacteurs plasma

Il existe deux grands types de réacteurs :

— Les réacteurs plasma à couplage capacitif (CCP). Dans un réacteur CCP, le plasma est créé entre deux électrodes parallèles reliées à un générateur radiofréquence (RF) (figure 3.4) et présente un plasma avec une faible densité et une grande énergie pour les ions. Les inconvénients de ce type de réacteur sont qu'il ne permet pas de descendre à de très faibles pressions et de découpler la densité du plasma et l'énergie des ions, car elles sont directement liées au champ électrique appliqué entre les deux électrodes. Il sera quand même utilisé durant ce projet lors de la gravure de vias pour sa simplicité d'utilisation et pour réduire les risques de contamination des autres réacteurs.

— Les réacteurs plasma à couplage inductif (ICP). La figure 3.5 présente un schéma classique d'un système de gravure ICP. Dans la partie supérieure, les gaz sont injectés et le plasma est formé par le champ électromagnétique créé par la bobine branchée à un générateur RF autour de la chambre. Dans la partie inférieure, l'échantillon à graver repose sur l'électrode du bas, appelé plateau, qui est polarisé aussi par un générateur RF. La fréquence RF utilisée

est généralement de 13.56 MHz. Ce type de réacteur est aussi appelé ICP-RIE car il y a tout de même un couplage capacitif entre le plateau et le plasma. Ce type d'architecture a pour avantage de contrôler indépendamment d'un côté la densité et le flux des ions dans le plasma avec la bobine, et de l'autre l'énergie des ions arrivant sur l'échantillon avec le plateau. Contrairement au réacteur CCP, on peut travailler à une pression de travail très basse (quelques mTorr) et le plasma formé présente une haute densité et une faible énergie des ions.

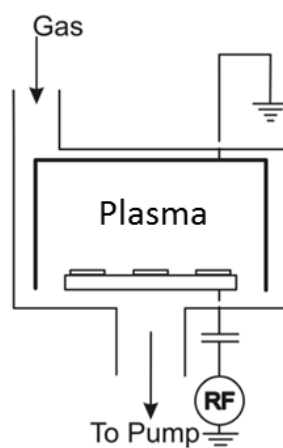


Figure 3.4 : Schéma d'un réacteur CCP standard. (Donnelly & Kornblit 2013)

On peut identifier cinq paramètres importants dans le réacteur ICP : la pression de la chambre, la puissance de la bobine (source), la puissance du plateau, le débit des gaz injectés et la température du plateau. La puissance du plateau permet de contrôler l'énergie à laquelle les ions sont attirés. La puissance du plateau est égale au produit de l'énergie des ions fois le courant ionique. L'augmentation de cette puissance permet d'augmenter l'énergie des ions et le bombardement ionique quand le flux des ions reste constant (source constante). La puissance de la source a deux effets principaux sur le plasma. Premièrement en augmentant cette puissance, on augmente le degré d'ionisation des particules qui est relié à l'augmentation de l'énergie des électrons, ce qui a pour effet d'augmenter la densité des ions et des radicaux dans le plasma. Deuxièmement, si l'on augmente la puissance de la source en gardant la puissance du plateau constante, on diminue l'énergie des ions, car le flux des ions augmente aussi. On peut donc aussi varier l'énergie des ions sans varier la puissance du plateau. La pression est un paramètre influant sur la densité du plasma et l'énergie des ions.

Théoriquement, si l'on trace la densité des ions du plasma en fonction de la pression, on aurait une courbe en forme de cloche avec un maximum au milieu. Si la pression est trop faible, on limite le nombre de collisions entre électrons et particules, ce qui entraîne la diminution de la densité des ions. Si la pression est trop forte, on augmente la probabilité de recombinaisons des espèces et l'on a une perte d'énergie à cause d'importantes collisions. La pression joue un rôle aussi sur le temps de résidence des espèces. Quand la pression est haute, les espèces réactives et les produits de réaction sont moins rapidement évacués et cela peut affecter la vitesse de gravure ou de déposition. La température du plateau peut apporter une énergie à l'échantillon et agir sur la formation de produits et sur la désorption des produits. Enfin, la proportion des gaz injectés agit sur les réactions homogènes et hétérogènes et est propre à chaque procédé. Les effets sont liés à la nature des gaz, les réactions possibles et les autres paramètres ICP fixés.

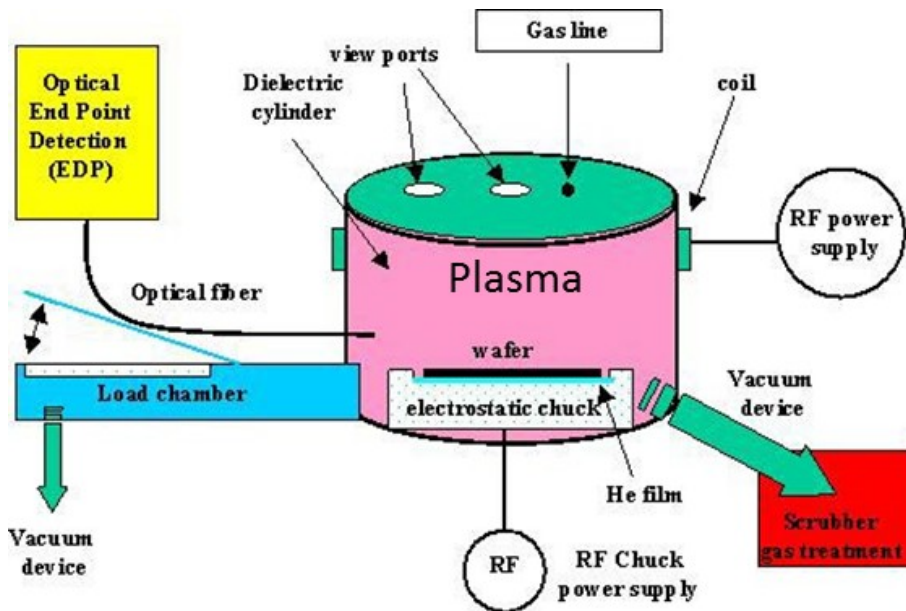


Figure 3.5 : Schéma d'un réacteur ICP de la compagnie SPTS. (EPFL 2010)

Un système CCP donne beaucoup moins de flexibilité dans le développement d'un procédé de gravure qu'un système ICP. Dans une certaine mesure, le fait de pouvoir contrôler la densité du plasma indépendamment de l'énergie des ions dans un réacteur ICP permet d'avoir une meilleure compréhension du rôle des ions et des espèces réactives durant la gravure par plasma, comparé à un réacteur CCP. De plus, la création d'un plasma stable à

basse pression et à basse puissance de plateau se fait plus facilement dans un système ICP, permettant d'améliorer l'anisotropie et la sélectivité durant la gravure. Néanmoins, les systèmes ICP sont conçus pour obtenir une grande densité de plasma (ions et particules chargées), ce qui engendre de grandes vitesses de gravure. L'utilisation de résines minces et de couches minces, demandant des vitesses de gravure faibles et contrôlées, rajoute des défis au développement de procédés de gravure de nanostructures.

3.3.3 Mécanismes de gravure

Il existe trois mécanismes de gravure : la gravure physique, la gravure chimique et la gravure plasma (figure 3.6).

La gravure par pulvérisation est un procédé purement physique causé par le bombardement d'ions énergétiques, qui permet de graver le matériau en éjectant les atomes de la surface (figure 3.6(a)). La gravure par pulvérisation uniquement est très peu utilisée, car elle présente une faible sélectivité, des dégâts surfaciques importants, de la redéposition de matériaux pulvérisés, et des vitesses de gravure plutôt lente. La sélectivité peut être définie comme le rapport des vitesses de gravure entre le matériau à graver et le masque de gravure ou la couche d'arrêt. De plus, les parois ont des profils obliques, car la gravure dépend de l'angle d'incidence des ions par rapport à la surface. La pulvérisation varie en fonction de la racine carrée de l'énergie des ions (Tachi & Okudaira 1986).

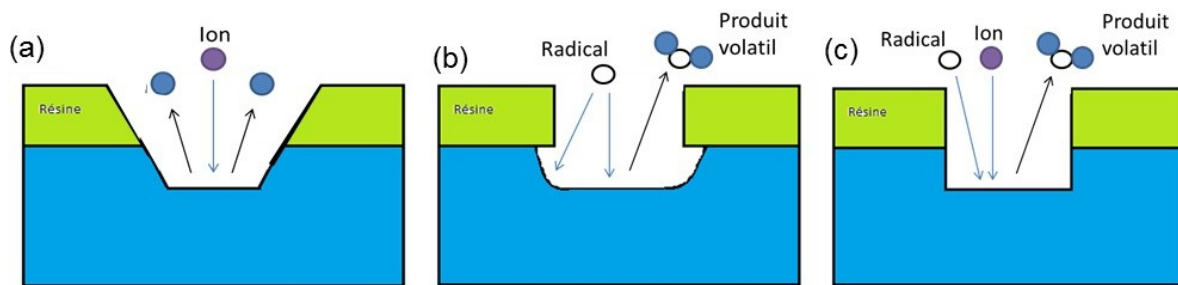


Figure 3.6 : Les principaux mécanismes de gravure : a) la pulvérisation, b) la gravure chimique, et c) la gravure plasma.

Ensuite, la gravure chimique consiste à graver le matériau seulement avec des réactions chimiques spontanées qui peuvent former des produits de gravure volatils et stables. Tout d'abord, les espèces réactives du plasma s'adsorbent à la surface du matériau, réagissent et

forment des produits volatils avec le matériau, et se désorbent de la surface sans bombardement ionique (figure 3.6(b)). Ce mécanisme permet d'obtenir une gravure sélective puisqu'elle dépend de l'interaction entre le matériau et les espèces réactives. La vitesse de gravure augmente linéairement avec la densité d'espèces réactives et exponentiellement avec la température du plateau, et elle est la même dans toutes les directions ce qui entraîne une gravure isotrope créant des profils distordus.

Le dernier mécanisme est la gravure chimique assistée par ions que l'on appelle gravure plasma (figure 3.6(c)). Ce mécanisme permet d'avoir des vitesses de gravure plus importante, car il combine la gravure physique et chimique avec un effet synergétique. Plusieurs explications peuvent être données pour expliquer cette synergie (Coburn & Winters 1979). D'un côté, le bombardement ionique peut aider à adsorber des réactifs, favoriser des réactions chimiques et désorber des produits volatils. D'un autre côté, les espèces réactives peuvent favoriser la pulvérisation en réagissant avec la surface et ainsi fragiliser le matériau. Les parois des structures sont quand même gravées chimiquement, mais parce que la vitesse de gravure verticale est beaucoup plus grande que la vitesse de gravure latérale grâce au bombardement ionique, ceci permet d'obtenir une gravure directionnelle ou anisotrope. La gravure plasma peut donc présenter deux régimes suivant le rapport de flux entre les réactifs et les ions : un régime de gravure limitée par les ions et un régime de gravure limitée par les espèces réactives.

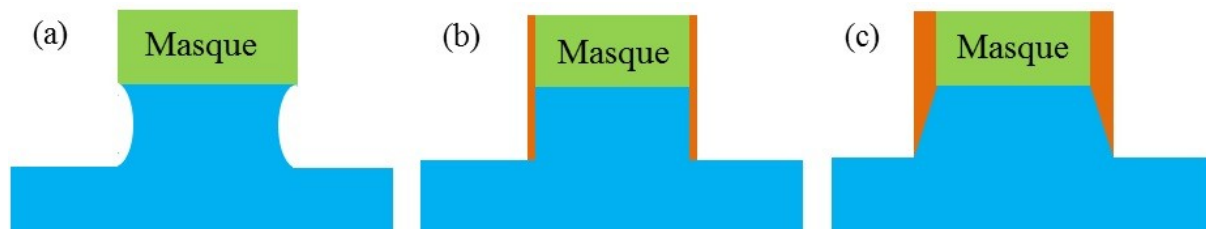


Figure 3.7 : Profil de gravure avec une passivation en orange a) trop fine, b) adaptée ou c) trop épaisse.

Lors d'une gravure plasma, une couche de passivation est généralement formée sur les surfaces exposées au plasma. Elle permet de contrôler l'anisotropie de la gravure. Cette couche peut provenir de la redéposition de produits de gravure peu volatils ou de la déposition

d'un polymère à partir d'un gaz polymérisant. Cette passivation permet de protéger les parois des structures gravées contre la gravure latérale, mais n'empêche pas la gravure verticale à cause d'un plus grand bombardement des ions. Dans la fabrication de nanostructures, l'épaisseur et la composition de cette passivation sont des caractéristiques importantes, car son épaisseur peut modifier le profil de gravure (figure 3.7) et elle doit pouvoir être enlevée après gravure.

Pour plus de détails sur la théorie fondamentale des plasmas et les différents réacteurs, le lecteur pourra se référencer aux livres de (Grill 1994) et de (Shul & Pearton 2000).

3.4 Méthodologie pour les calculs de vitesses de gravure

Dans les parties suivantes, les vitesses de gravure de résines, du SiO_2 et du Si_3N_4 vont être présentées en fonction de plusieurs paramètres de gravure. La méthode appliquée pour les calculer est identique à chaque fois. Sur des échantillons de $1 \times 1 \text{ cm}^2$, on mesure par ellipsométrie l'épaisseur de la couche avant et après gravure pour déterminer la vitesse de gravure. L'électrorésine ZEP est diluée avec un ratio de 1,7 avec de l'anisole, et est étalée à 5000 rpm et recuite à 180°C pendant 5 min pour obtenir une épaisseur de 200 nm. La photorésine S1805 est étalée à 5000 rpm et est recuite à 115°C pendant 1 min pour obtenir une épaisseur de 490 nm. La couche de SiO_2 mesure 150 nm et est crue thermiquement sur une gaufre de silicium. La couche de 150 nm d'épaisseur de Si_3N_4 est déposée sur une gaufre de silicium par PECVD à 300°C et à 900 mTorr, en utilisant du silane (SiH_4) et de l'ammoniac (NH_3) comme gaz réactifs. Le modèle ellipsométrique du TiN n'est pas disponible pour calculer les vitesses de gravure du TiN. On dépose alors une couche de 150 nm d'épaisseur par pulvérisation et on la grave à travers un masque de photorésine. En mesurant la profondeur de gravure par profilomètre, on peut déterminer les vitesses de gravure du TiN.

3.5 Gravure de nanostructures de TiN sur une nanotopographie

La nouveauté et l'étape clé du procédé inverse sont l'étape de gravure du TiN qui remplace le soulèvement de l'îlot du procédé classique. De ce fait, un développement de procédé de gravure de nanostructures de TiN a été nécessaire pour fabriquer les SET.

3.5.1 Cahier des charges et état de l'art

Le nitrure de titane est un matériau qui est très utilisé en microélectronique, car il présente une grande compatibilité avec les matériaux *high-k*, une résistivité électrique faible et une bonne stabilité chimique. Parmi toutes ses applications, on peut citer son utilisation en tant que grille métallique (Chen et al. 2012), masque dur (Darnon et al. 2006), ou barrière anti-diffusion (Shin & Shimogaki 2004) en intégration à très grande échelle (VLSI). Pour le développement de la gravure de nanostructures de TiN, un cahier des charges est mis en place pour obtenir un procédé de gravure adapté à la fabrication de SET.

Premièrement, une grande sélectivité entre le TiN et le SiO₂ est nécessaire pour que la gravure puisse s'arrêter sur le substrat. En effet, il est important que la nanotopographie créée lors de la gravure de l'EBL1 ne soit pas modifiée et que l'on puisse aussi surgraver le TiN pour s'assurer de graver complètement le TiN à l'intérieur des nanotranchées. Dans le cas d'une gravure incomplète, un court-circuit entre le drain et la source est possible. Deuxièmement, une vitesse de gravure du TiN ne dépassant pas la centaine de nanomètres par minute est indispensable pour avoir un procédé contrôlable et reproductible. Cette caractéristique est assez difficile à obtenir, car les systèmes ICP sont généralement conçus pour être utilisés dans des conditions de gravure permettant d'avoir des vitesses de gravure de plusieurs centaines de nanomètres ou micromètres par minute. On est alors obligé de travailler aux limites d'opération de la machine, ce qui peut entraîner des problèmes de stabilité du plasma. Enfin, les nanostructures doivent présenter des parois verticales et des surfaces sans résidus après gravure. Ce dernier point est très critique pour la fabrication de SET, car les parois du TiN gravé dans le canal définissent l'interface entre les jonctions tunnel et les électrodes de source et drain. La présence d'une passivation peut perturber le fonctionnement du SET en jouant un rôle d'isolant et il faut donc s'assurer que les flancs du TiN gravé soient propres après la gravure.

Dans la littérature, la gravure plasma du TiN a été étudiée intensivement avec des halogènes tels le CHF_3 , le HBr , le BCl_3 et le Cl_2 en combinaison avec des gaz additionnels tels que l'Ar, le N_2 , l' O_2 et l'He. Par contre, très peu de travaux ont été consacrés à la fabrication de nanostructures. La gravure à base de chlore est préférée à celle à base de fluor pour plusieurs raisons. Tout d'abord, les plasmas chlorés procurent une meilleure sélectivité avec le SiO_2 que les plasmas fluorés (Darnon et al. 2008). De plus, la température d'ébullition des produits volatils de TiCl_4 (136,5 °C) est plus basse que celle du TiF_4 (284 °C) (Chiu et al. 2001). Il a été démontré que les espèces TiF_x formées durant la gravure au fluor pouvaient former des résidus sur les surfaces au contact de l'air (Posseme et al. 2010), ce qui n'est pas du tout désirable dans notre application. Parmi les gaz chlorés, le BCl_3 n'est pas souhaitable aussi, car il peut former des produits BN_x non volatils lors de la gravure (Tonotani et al. 2003).

Pour notre projet, on a donc décidé de développer une gravure plasma à base de $\text{Cl}_2/\text{Ar}/\text{N}_2$ pour satisfaire les besoins fixés dans notre cahier des charges. Les vitesses de gravure de la ZEP, du SiO_2 et du TiN sont calculées grâce à la méthode présentée à la section précédente.

3.5.2 Méthodologie pour fabriquer des structures en TiN

Une couche de TiN de 25 nm d'épais est déposée par pulvérisation cathodique sur plusieurs échantillons de SiO_2 . Pour obtenir des échantillons avec des microstructures, on effectue sur le TiN une photolithographie avec de la S1805. Un plasma d'oxygène de 30 s est ensuite effectué avant la gravure pour enlever les résidus éventuels de résine sur les surfaces exposées. Pour obtenir des échantillons avec des nanostructures, une couche de ZEP est déposée sur les échantillons de TiN, puis exposée à 20 keV sous forme de réseaux de lignes, et finalement développée.

Les échantillons structurés et non structurés sont placés sur une gaufre de silicium de 200 mm de diamètre et introduits par un sas d'entrée dans un réacteur ICP de la marque STS appelé III-V. Durant la gravure, la gaufre est posée sur un support qui peut être refroidi ou chauffé et ainsi permettre une variation de température de la gaufre avec l'assistance d'un flux d'He. Les conditions de gravure de départ sont : une puissance de bobine de 225 W, une

puissance de plateau de 16 W, une pression de 5 mTorr, un flux de Cl_2 de 5 sccm, un flux d'Ar de 5 sccm, un flux de N_2 de 5 sccm, et une température de plateau de -20°C . Ces conditions de départ ont été déterminées grâce à plusieurs tests de gravure qui ont été faits en amont, mais qui ne sont pas mentionnés ici. Le temps de gravure est fixé à 2 min pour la détermination des vitesses de gravure. Durant les expériences, on fait varier le flux d'azote de 5 sccm à 50 sccm tout en gardant les autres paramètres de gravure constants afin d'étudier son influence sur les vitesses de gravure et sur les résidus non volatils sur les flancs de gravure.

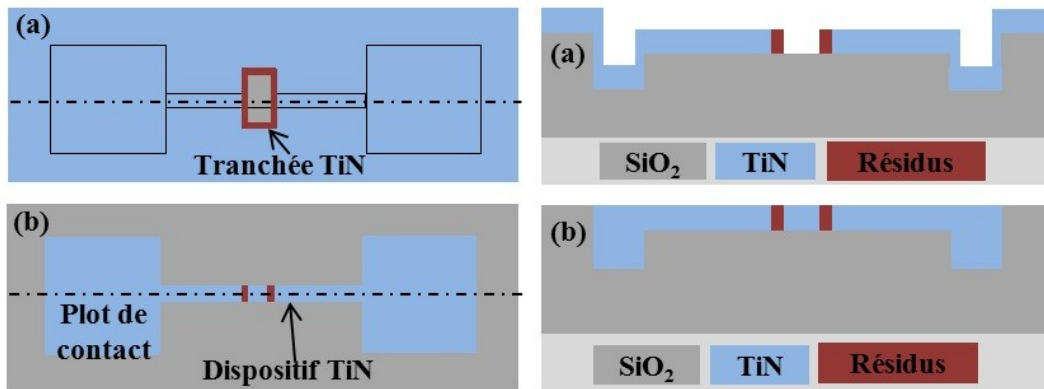


Figure 3.8 : Illustrations de la vue de dessus à gauche et de la vue en coupe à droite d'un échantillon a) après la gravure de la nanostructure de TiN sur la nanotranchee de SiO_2 , suivie b) du remplissage et du polissage de l'échantillon. (Lee Sang et al. 2016)

Pour étudier la présence de résidus non volatils, deux types d'expériences sont faites. La première expérience consiste à nettoyer les échantillons gravés avec un nettoyage classique, puis à les graver dans une solution de H_2O_2 à 30 % à 70°C pendant 5 min (Heo et al. 2012). Le TiN se fait graver par l' H_2O_2 contrairement aux produits non volatils tels que le TiO_x , le CCl_x , et le SiO_x . La présence de résidus après la gravure humide montrerait alors la présence de produits non volatils sur les parois du TiN gravé. La deuxième expérience consiste à caractériser électriquement les flancs de gravure en fabriquant des dispositifs avec le procédé *nanodamascène* inverse sans l'étape de déposition des jonctions tunnel. Des échantillons de SiO_2 subissent une EBL1 et une gravure de 20 nm de profond. Une couche de 25 nm de TiN est déposée, et une EBL2 est faite et gravée (figure 3.8a). Après la gravure, une couche de TiN est déposée pour remplir les tranchées et les échantillons sont polis par CMP (figure 3.8b). La présence d'une couche isolante déposée durant la gravure sur les flancs créerait des jonctions

métal-isolant-métal (MIM) avec une caractéristique électrique J-V non linéaire comme pour le cas d'un SET. Par contre, si les parois du TiN sont propres après gravure on obtiendrait une caractéristique électrique J-V linéaire comme pour un nanofil. Des mesures quatre pointes sont effectuées pour déterminer la résistance entre les deux plots de contact et obtenir les courbes J-V.

3.5.3 Résultats de gravure de TiN

Pour la fabrication de nanostructures de TiN, un mélange de $\text{Cl}_2/\text{Ar}/\text{N}_2$ est utilisé pour graver sélectivement le TiN par rapport au SiO_2 . La figure 3.9 montre une nanotranchée de 25 nm de profond de TiN gravée complètement sur une surface de SiO_2 sans topographie propre avec les paramètres de gravure présentés dans le tableau 3.1. Avec ces conditions de gravure, des vitesses de gravure de 66 nm/min et 1.3 nm/min sont obtenus pour le TiN et le SiO_2 respectivement, ce qui correspond à une sélectivité de 50. Le flux de Cl_2 est fixé à un minimum de 5 sccm, car son augmentation entraînerait une augmentation de la vitesse de gravure du TiN (Min et al. 2008), ce qui n'est pas désiré pour notre application. L'argon est ajouté dans le mélange pour diluer le Cl_2 et réduire le rapport entre les espèces réactives (Cl) et les ions (Efremov et al. 2003).

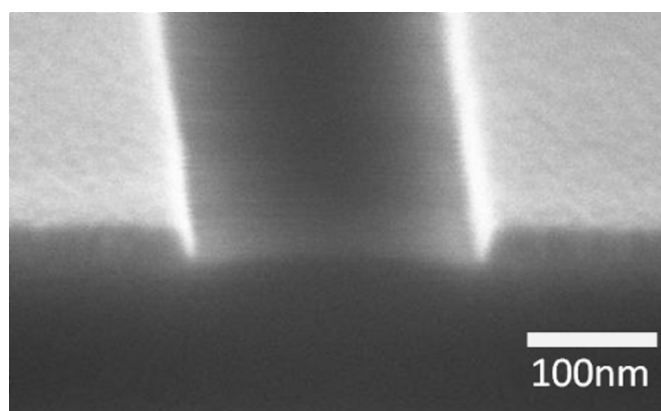


Figure 3.9 : Image SEM d'une nanotranchée dans une couche de 25 nm de TiN, gravée sur un substrat de SiO_2 avec les conditions données dans le tableau 3.1. (Lee Sang et al. 2016)

Ensuite, il est nécessaire de démontrer qu'il est aussi possible de graver le TiN à l'intérieur de nanotranchées. La gravure de nanostructures de TiN est donc faite sur une

surface de SiO_2 avec une nanotopographie et le résultat est présenté à la figure 3.10a. Une nanotranchée de 60 nm de large et 25 nm de profond de TiN, perpendiculaire à une tranchée de SiO_2 avec une largeur de 30 nm et une profondeur de 20 nm, est entièrement gravée. Malgré une vitesse de gravure de 66 nm/min, un temps de gravure de 2.5 min est nécessaire pour graver complètement les 25 nm de TiN dans les tranchées de SiO_2 . La ZEP déposée mesure 200 nm d'épaisseur et la dépendance de la vitesse de gravure en fonction du facteur d'aspect de la structure à graver (ARDE) peut expliquer ce plus long temps de gravure. En effet en gravure plasma, on peut obtenir une vitesse de gravure plus faible pour des structures ayant un rapport profondeur/largeur plus grand. Cet effet est caractéristique d'une gravure limitée par le flux des réactifs dans les structures. La figure 3.10b présente une image AFM d'un échantillon après le remplissage et le polissage du dispositif. Les structures en TiN sont élevées par rapport à la surface de SiO_2 à cause d'une plus grande vitesse de polissage du SiO_2 .

Tableau 3.1 : Paramètres de gravure. (Lee Sang et al. 2016)

Paramètres	
Flux Cl_2	5 sccm
Flux Ar	5 sccm
Flux N_2	5 sccm
Puissance bobine	225 W
Puissance plateau	16 W
Pression	5 mTorr
Température plateau	-20 °C

Pour étudier l'impact de l'azote sur la gravure du TiN, des microstructures de TiN sont gravées avec des flux différents de N_2 dans le mélange de Cl_2/Ar tout en fixant les autres paramètres de gravure. Ces échantillons sont ensuite gravés dans une solution de H_2O_2 à 30 % pour révéler les matériaux qui ne sont pas du TiN. La figure 3.11 présente la paroi des microstructures de TiN gravées au plasma avec différents flux de N_2 après l'étape de gravure humide au H_2O_2 . On peut observer sur la figure 3.11a qu'il reste des résidus pour un échantillon gravé avec un flux de 5 sccm d'azote. Cependant, au fur à mesure que le flux

augmente de 5 sccm à 30 sccm, les résidus deviennent de moins en moins visibles. À 50 sccm, une surface propre de SiO_2 avec une légère surgravure est observée (figure 3.11d).

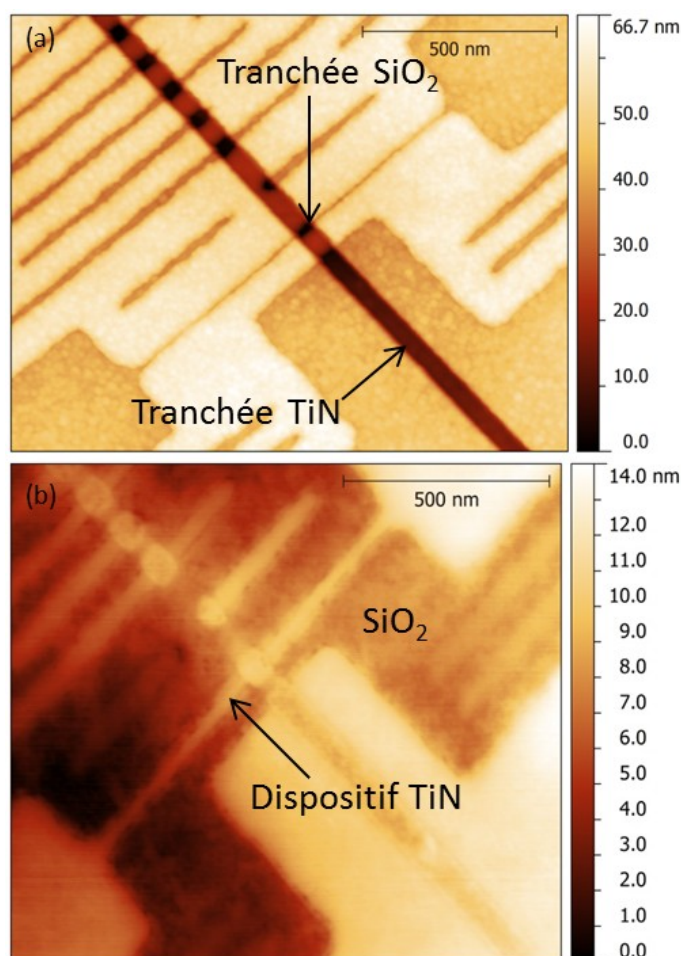


Figure 3.10 : a) Image AFM d'une nanotranchee de TiN gravée sur des nanotranchees de SiO_2 . b) Image AFM du même échantillon après le dépôt pour remplir les nanotranchees et le polissage. (Lee Sang et al. 2016)

De plus, la figure 3.12 présente les vitesses de gravure du TiN, de la ZEP et du SiO_2 , et la tension d'auto-polarisation du plateau dans l'encart en fonction du flux de N_2 . De 5 sccm à 50 sccm, les vitesses de gravure du TiN et de la ZEP diminuent. La vitesse de gravure du SiO_2 augmente légèrement de 5 sccm à 20 sccm puis reste constante pour de plus grands flux. Ce comportement est identique pour la tension d'auto-polarisation qui augmente jusqu'à 20 sccm et se stabilise à 84 V pour de plus hautes valeurs de flux.

Pour la gravure de TiN dans des plasmas à base de Cl_2 , le principal mécanisme de gravure est la gravure chimique assistée par ions (Chiu et al. 2001). Les radicaux Cl réagissent avec les atomes de Ti et de N pour produire des composés TiCl_x et NCl_x qui peuvent être volatils à l'aide d'un bombardement ionique. Dans la littérature, il a été reporté que l'ajout de N_2 dans un plasma chloré peut soit augmenter ou diminuer la vitesse de gravure du TiN dépendamment des conditions de gravure (Kim et al. 2011) (Abraham et al. 1997), cependant aucune explication claire n'a été donnée pour définir le rôle de l'azote. Dans nos expériences, la vitesse de gravure du TiN diminue quand le flux d'azote augmente. Deux mécanismes possibles sont proposés pour expliquer ce résultat. Le premier est basé sur le bombardement ionique. De 5 sccm à 20 sccm, l'auto-polarisation du plateau augmente pendant que la puissance du plateau reste constante. Cela signifie que l'énergie des ions augmente, mais qu'elle est contrebalancée par une diminution du flux des ions. Deuxièmement, une grande introduction d'azote dans la chambre peut avoir un effet de dilution important qui par conséquent réduit la densité d'espèces réactives chlorées et la vitesse de gravure du TiN.

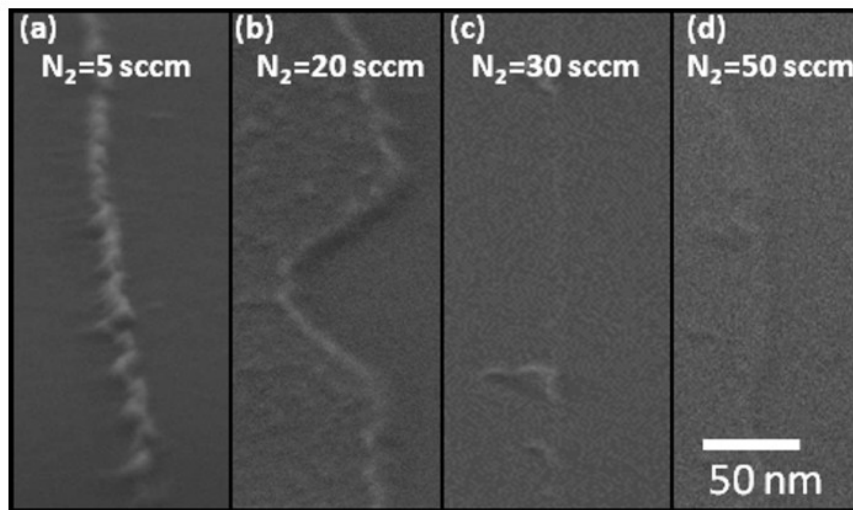


Figure 3.11 : Images SEM à angle après une gravure humide avec du H_2O_2 de structures de TiN gravées par plasma avec différent flux de N_2 : a) 5 sccm, b), 20 sccm, c) 30 sccm, d) 50 sccm. (Lee Sang et al. 2016)

La réduction des résidus non volatils, quand le flux de N_2 augmente, pourrait être expliquée par deux hypothèses différentes. Premièrement, l'ajout d'azote dans le plasma empêcherait la formation de résidus non volatils sur les flancs de gravure. Dans ce cas-là, une

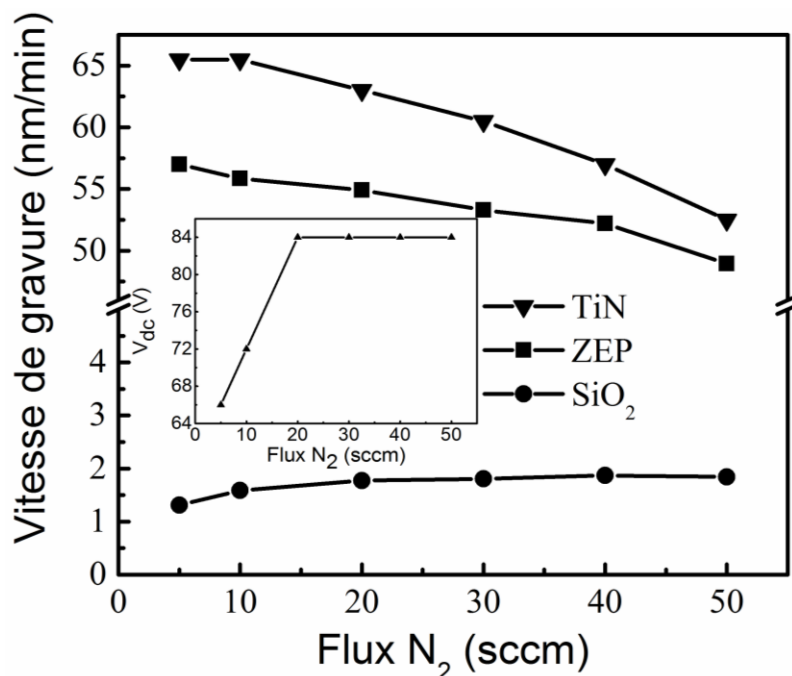


Figure 3.12 : Vitesses de gravure du TiN, de la ZEP et du SiO₂ en fonction du flux de N₂ injecté dans la chambre. L'encart montre la tension d'auto-polarisation du plateau en fonction du flux de N₂. (Lee Sang et al. 2016)

gravure latérale du TiN aurait été attendue (Le Gouil et al. 2007). Puisque l'élargissement des tranchées n'a pas été observé, cette hypothèse peut être écartée. La deuxième hypothèse serait que l'ajout de N₂ dans le plasma changerait la nature des produits non volatils qui pourraient alors se désorber après la gravure ou devenir solubles dans les solvants ou le H₂O₂. Il y a plusieurs résidus non volatils connus qui pourraient se trouver à la surface du TiN tels que le TiO_xN_y (Le Gouil et al. 2007), le SiO_x (Pargon et al. 2005) ou le CO_xCl_y (Pargon et al. 2004). Ces résidus ne se gravent pas dans du H₂O₂ comme mentionné précédemment. Quand le flux d'azote augmente, la formation de TiO_xN_y pourrait être réduite du fait de la plus grande probabilité de réaction de l'azote avec l'oxygène pour former de l'oxyde nitrique. Les espèces SiO_x proviennent de la gravure d'oxyde de silicium et pourraient devenir des résidus SiO_xN_y en réagissant avec l'azote, mais ces résidus ne se gravent pas dans les solvants ce qui rend très peu probable d'avoir ces résidus sur les flancs. La formation d'espèces CO_xCl_y est due à la gravure de la résine. Dans la figure 3.12, la vitesse de gravure de la ZEP diminue quand le flux d'azote augmente, ce qui signifie que le nombre de sous-produits de gravure diminue, car le temps de gravure est fixe dans toutes les expériences. De plus, la formation de produits CCl_x

peut être plus importante avec l'augmentation du flux d'azote à cause de la réduction de l'oxygène par l'azote. Lorsque le CCl_x rentre en contact avec l'air, il peut former des produits volatils comme le CO et le CO_2 et se désorber de la surface du TiN, laissant une surface propre. À la suite de cette discussion, on peut dire que les résidus non volatils formés sur les flancs de gravure deviennent volatils au contact de l'air ou soluble dans les solvants quand le flux de N_2 devient grand. On n'a pas pu confirmer avec des analyses de composition chimique, car il aurait fallu faire des mesures *in situ* sans sortir l'échantillon après gravure.

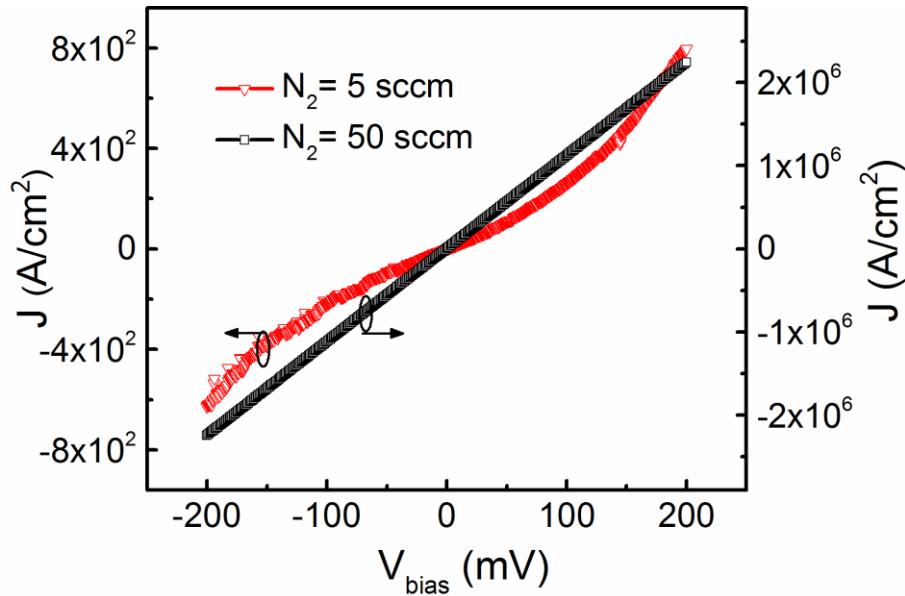


Figure 3.13 : Caractéristiques J-V de deux dispositifs différents. Les symboles carrés et triangles représentent deux échantillons gravés respectivement avec un flux de 50 sccm de N_2 et de 5 sccm de N_2 combiné avec un mélange de Cl_2/Ar . (Lee Sang et al. 2016)

Deux dispositifs en TiN sont fabriqués tels que décrits dans la section méthodologie avec des conditions de gravure différentes. Pour le premier dispositif, la nanotranchée de TiN est gravée avec un flux de 5 sccm d'azote, alors que pour le deuxième, elle est gravée avec 50 sccm. Le temps de gravure est maintenu à 2,5 min pour les deux expériences. La figure 3.13 présente les densités de courant en fonction de la tension appliquée pour les deux dispositifs. En mesurant la largeur des dispositifs à l'AFM et en extrayant l'épaisseur des dispositifs avec un modèle de résistivité (Guilmain et al. 2013), on normalise le courant pour pouvoir les comparer entre eux. Le dispositif qui a subi une gravure avec un flux de 50 sccm

présente une courbe linéaire et une densité de courante maximale (10^6 A/cm²) alors que le second dispositif gravé avec un flux de 5 sccm présente une courbe non linéaire et une plus faible densité de courant (10^2 A/cm²). Durant la gravure de TiN dans la tranchée de SiO₂, des résidus non volatils peuvent se déposer sur les flancs du TiN. Ces résidus se comportent comme un film isolant réduisant la densité de courant et formant des jonctions MIM. En augmentant le flux de N₂, les résidus non volatils changent et deviennent soit solubles dans les solvants, conducteurs ou se désorbent au contact de l'air. L'obtention de flancs sans couche isolante après gravure permet d'utiliser ce procédé de gravure pour fabriquer les SET.

3.6 Gravure de tranchées de SiO₂ à profil oblique

Le procédé de gravure de tranchées peu profondes de SiO₂ a été développé par (Guilmain et al. 2011). Il a développé le procédé pour obtenir des parois de gravure avec un angle de 94 ° par rapport à l'horizontale et une rugosité de parois de moins de 1 nm avec la ZEP, afin de réaliser des jonctions tunnel entre deux structures de SiO₂.

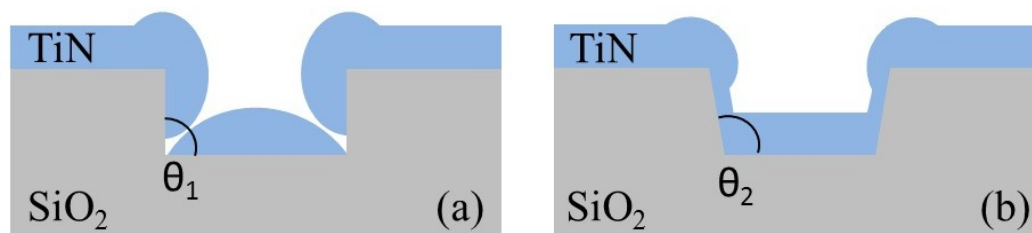


Figure 3.14 : Illustrations du remplissage d'une tranchée avec a) un profil à 90 ° et b) un profil oblique. $\theta_1 < \theta_2$.

Ce procédé a été optimisé afin d'améliorer le remplissage des tranchées créées en UV1 et EBL1. En effet, l'objectif est d'obtenir un angle intérieur plus obtus afin de réduire l'effet d'ombrage sur les coins du fond des tranchées lors de la déposition du métal (figure 3.14). Pour ce développement, les vitesses de gravure de la ZEP et du SiO₂ sont déterminées avec la méthode d'ellipsométrie. La vitesse de gravure de la S1805 n'est pas considérée, car elle n'est pas critique dans ce procédé. Les gravures sont faites dans un système de gravure ICP de la marque STS appelé *Advanced Oxide Etching* (AOE).

En se basant sur les travaux de (Guilmain et al. 2011), on choisit de réduire la puissance du plateau pour obtenir des profils obliques. La puissance est réduite de 50 W jusqu'à 10 W, car en dessous de cette valeur, le plasma devient instable. Les nouvelles conditions de gravure sont présentées dans le tableau 3.2 et les vitesses de gravure associées du SiO₂ et de la ZEP sont de 20 nm/min et 10 nm/min respectivement. Ces vitesses sont trois fois plus faibles que celles obtenues pour 50 W. Cette réduction de vitesse de gravure est due au fait qu'en réduisant la puissance du plateau, on réduit l'énergie des ions incidents. La figure 3.15 montre qu'on obtient un profil de gravure avec un angle intérieur de 107 ° par rapport à l'horizontale après la gravure d'une tranchée de SiO₂ avec ces conditions de gravure. Ce phénomène peut s'expliquer par la diminution de la vitesse de gravure verticale du SiO₂ par rapport à sa gravure latérale et à la vitesse de déposition de la passivation.

Tableau 3.2 : Conditions de gravure et les vitesses de gravure du SiO₂ et de la ZEP pour obtenir des parois obliques.

Paramètres	
Flux CF ₄	12 sccm
Flux H ₂	14 sccm
Flux He	140 sccm
Puissance bobine	100 W
Puissance plateau	10 W
Pression	4 mTorr
Température plateau	-20 °C
Vitesse de gravure SiO ₂	20 nm/min
Vitesse de gravure ZEP520A	10 nm/min

Initialement, une étape de plasma d'oxygène, appelée descum, n'est faite qu'avant la gravure de l'UV1 dans le but d'enlever les restants de résine au fond des tranchées développées. Une nouvelle étape de descum est introduite avant la gravure de l'EBL1 parce que les vitesses de gravure sont plus faibles avec les nouvelles conditions de gravure. Le temps et les conditions du plasma du descum sont modifiés afin de réduire l'épaisseur gravée durant cette étape. Au final, le temps de descum est divisé par deux et la puissance du plateau

est divisée par trois pour ne graver que 20 nm de ZEP. Les paramètres de descum sont présents dans l'Annexe A.

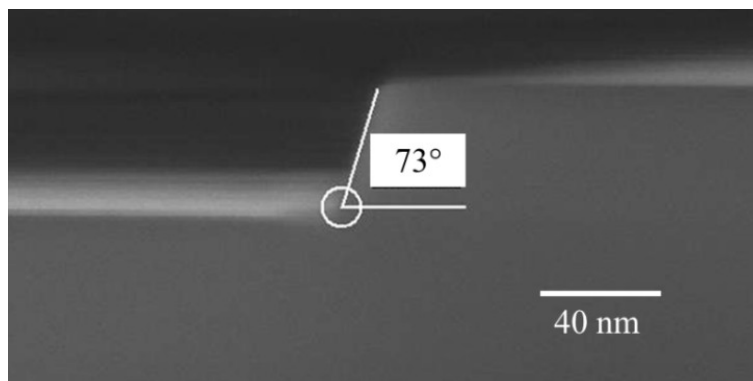


Figure 3.15 : Image SEM après clivage d'une tranchée de SiO_2 gravée avec les conditions de gravure du Tableau 3.2. Angle extérieur mesuré.

3.7 Utilisation du Si_3N_4 comme substrat

Dans les travaux de (Jouvet 2012), des analyses au microscope électronique à transmission (TEM) et des analyses par énergie dispersive de rayons X (EDX) ont été faites sur un SET fabriqué en Ti sur un substrat de SiO_2 avec le procédé *nanodamascène* classique. Ces résultats ont mis en lumière la réaction possible entre le Ti et le SiO_2 qui entraîne une oxydation du titane par le substrat. Pour éviter ce phénomène d'oxydation, le remplacement du SiO_2 par un autre diélectrique ne contenant pas d'atomes d'oxygène doit être considéré. Le nitrure de silicium Si_3N_4 est choisi, car il présente trois avantages importants pour notre application. Tout d'abord, ce diélectrique ne contient pas d'oxygène et élimine le problème d'oxydation par le substrat. Ensuite, il est compatible avec la technologie CMOS puisqu'il est très utilisé en microfabrication, surtout dans le BEOL des puces CMOS. Enfin, il est utilisé usuellement en tant que couche d'arrêt pour le polissage CMP. Cette troisième caractéristique peut permettre de rendre le procédé de fabrication de SET beaucoup plus contrôlable, car au lieu d'amincir l'échantillon pour obtenir une épaisseur faible de l'îlot du SET, l'épaisseur de l'îlot serait prédéfinie par la profondeur de la nanotranchee gravée après l'EBL1 comme présentée à la figure 3.16. L'obtention de nanostructures de Si_3N_4 peu profondes et d'une grande sélectivité entre le Si_3N_4 et le TiN pour la CMP est nécessaire. Ces résultats sont présentés dans les parties suivantes.

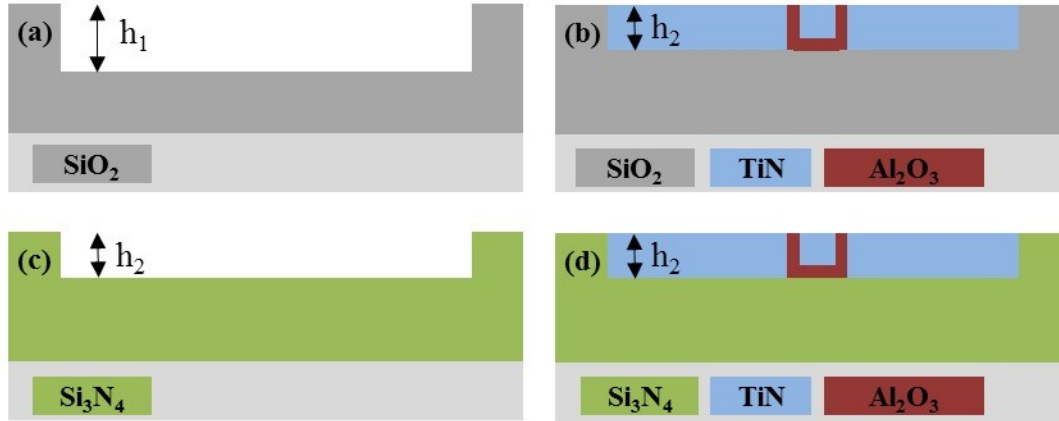


Figure 3.16 : Illustrations des vues en coupe du canal du SET fabriqué sur un substrat de SiO₂ a) après la gravure de l'EBL1 et b) après le polissage CMP, et sur un substrat Si₃N₄ c) après la gravure de l'EBL1 et d) après le polissage CMP. $h_1 > h_2$

3.8 Gravure peu profonde de nanostructures de Si₃N₄

3.8.1 État de l'art

Pour graver le Si₃N₄ par plasma, des gaz fluorés tels que le CH₃F, le CF₄, le SF₆ et le NF₃ sont mélangés avec de l'O₂, du N₂, du H₂ ou du NO pour obtenir une grande anisotropie et une grande sélectivité par rapport au SiO₂ et au Si. Durant la gravure, les espèces fluorées réagissent avec le Si₃N₄ pour former des produits SiF₄ volatils alors que la déposition d'un polymère fluorocarboné à la surface du Si₃N₄ empêche sa gravure (Schaepkens et al. 1999). Il a été démontré que l'ajout de C₄F₈ dans un plasma de SF₆ réduisait la densité d'espèces F et augmentait la vitesse de déposition de la couche polymère (Bates et al. 2014). Malgré que la gravure ICP d'espaces en Si₃N₄ avec des procédés à base de fluorocarbones soit utilisée couramment dans l'industrie, la gravure de nanostructures peu profondes de Si₃N₄ est très rare dans la littérature.

3.8.2 Choix technologiques et outils

Pour développer ce procédé de gravure, on a d'abord étudié l'effet des paramètres de gravure sur les vitesses de gravure du Si₃N₄ et de la ZEP pour pouvoir atteindre une vitesse de gravure la plus basse possible et graver de façon contrôlée des nanostructures de très peu

profondes. La méthode choisie consiste à injecter un flux de SF_6 et de C_4F_8 simultanément pour combiner les chimies de gravure et de passivation. La passivation a pour effet de ralentir la gravure, mais peut aussi augmenter la rugosité de surface si elle n'est pas ajustée correctement. Le défi de ce procédé est de trouver les conditions d'équilibre entre ces deux chimies afin d'obtenir à la fois des vitesses de gravure très faibles et une rugosité de surface faible.

Les vitesses de gravure de Si_3N_4 et de ZEP sont obtenues par ellipsométrie, et les sélectivités en sont déduites. Un modèle de Tauc-Lorentz est utilisé pour mesurer l'épaisseur de la couche de Si_3N_4 , mais il ne permet pas de décorrélérer le Si_3N_4 et la couche fluorocarbonée formée à la surface du nitrure après gravure. Les vitesses de gravures sont donc évaluées avec cette couche de passivation. Les erreurs moyennes quadratiques (MSE) d'ajustement restent tout de même inférieures à 2.

D'autres échantillons avec de la ZEP sont exposés et développés afin d'obtenir des réseaux de lignes dans la ZEP. Un recuit de 125 °C pendant 3 min sur une plaque chauffante est effectué après développement pour améliorer la résistance de la ZEP à la gravure et sa rugosité de bord de ligne (LER). Un plasma d'oxygène de 30 s est fait avant la gravure pour s'assurer d'enlever toute trace de résine dans les fonds de tranchées et ainsi éviter un nanomasquage.

Les échantillons sont gravés dans un système ICP de la marque STS appelé *Advanced Silicon Etching* (ASE). Ils sont fixés avec une colle thermique sur une gaufre de Si recouverte d'une couche de SiO_2 pour avoir une meilleure thermalisation entre l'échantillon et la gaufre support. Le plateau peut être refroidi ou chauffé durant la gravure. Les conditions de départ fixées sont : une puissance de bobine de 100 W, une puissance de plateau de 10 W, une pression de 15 mTorr, un flux de SF_6 de 5 sccm, un flux de C_4F_8 de 14 sccm, et une température de plateau de 5 °C. Le flux de SF_6 est gardé à un minimum de 5 sccm durant toutes les expériences pour ne pas augmenter la vitesse de gravure. Tous les autres paramètres sont variés un par un pour observer l'effet de chacun séparément.

Après gravure et nettoyage des échantillons, des mesures AFM de nanostructures gravées sont prises avec le logiciel *Gwyddion* permettant d'obtenir les valeurs moyennes quadratiques de la rugosité de surface.

3.8.3 Résultats de gravure de Si_3N_4

Premièrement, l'effet de la température du plateau est étudié. La température du plateau est variée de 40 °C jusqu'à 5 °C qui est la limite basse du refroidisseur. La réduction de la température diminue la vitesse de gravure du Si_3N_4 et de la ZEP jusqu'à 4.4 nm/min et 2 nm/min respectivement. L'explication peut venir des réactions à la surface du matériau qui sont dépendantes de la température. Pour de basses températures, la vitesse de déposition de polymère fluorocarboné est augmentée comme pour des plasmas à base de CF_4 (Zhou et al. 2005), ce qui entraîne une réduction des vitesses de gravure.

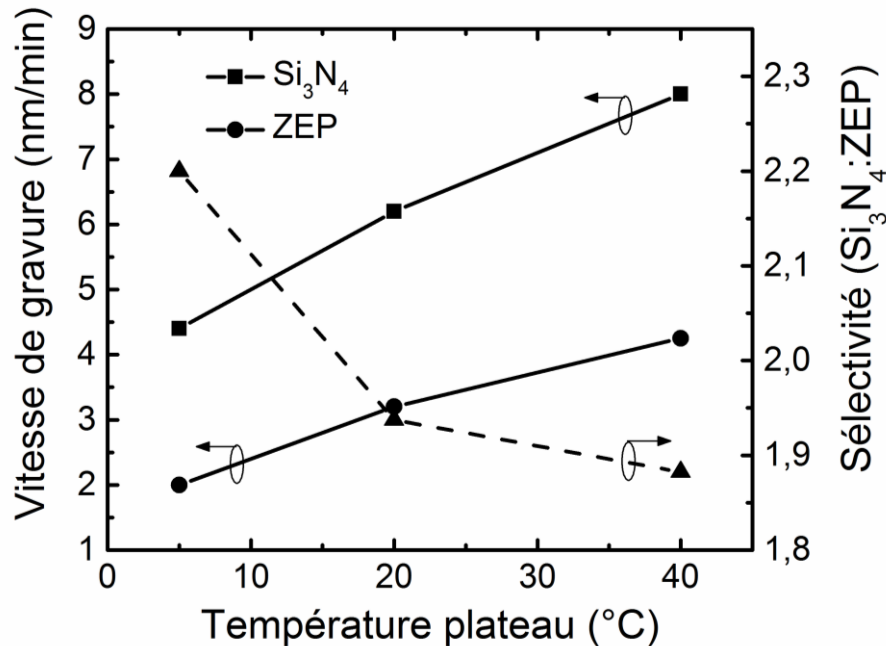


Figure 3.17 : Vitesses de gravure du Si_3N_4 et de la ZEP et la sélectivité ($\text{Si}_3\text{N}_4:\text{ZEP}$) en fonction de la température du plateau. (Lee Sang et al. 2015)

La figure 3.18a montre les vitesses de gravure du Si_3N_4 et de la ZEP en fonction de la puissance du plateau. La tension d'auto-polarisation du plateau augmente de 54 V à 138 V quand la puissance augmente de 5 W à 20 W. Les vitesses de gravure diminuent quand la

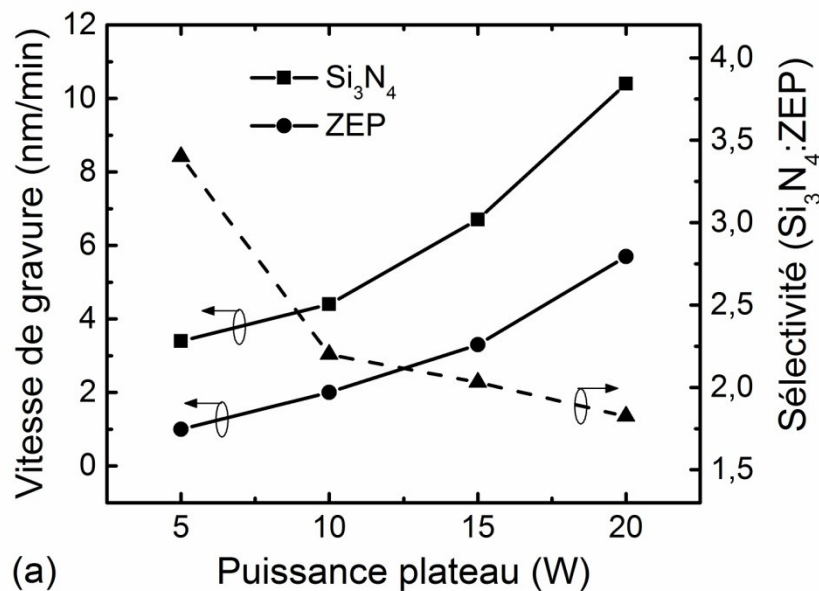
puissance du plateau est réduite, ce qui est attendu. En effet, une baisse de la puissance du plateau induit une baisse de l'énergie du bombardement ionique. Le film fluorocarboné est gravé principalement par pulvérisation et l'on sait que le régime de pulvérisation est proportionnel à la racine carrée de l'énergie des ions à flux constant. Néanmoins, les vitesses de gravure évoluent plutôt de façon « exponentielle ». On peut expliquer cela par le fait que la puissance de la bobine est seulement de 100 W et que le plateau apporterait de la puissance au plasma, augmentant le flux des ions. De plus, il a été montré que durant la gravure de SiO_2 dans le régime de suppression, les vitesses de gravure augmentaient plus rapidement que la racine carrée de l'énergie des ions (Schaepekens & Oehrlein 2001). On peut aussi ajouter que les vitesses de gravure de la ZEP et du Si_3N_4 présentent la même tendance de courbe, ce qui renforce l'idée que l'augmentation de la puissance du plateau augmente principalement la composante physique du mécanisme de gravure.

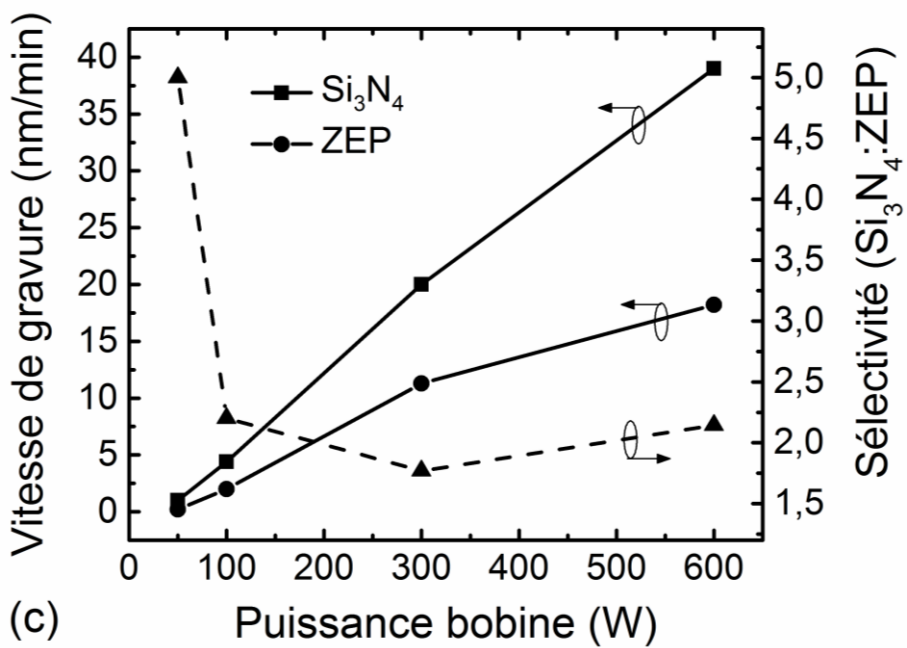
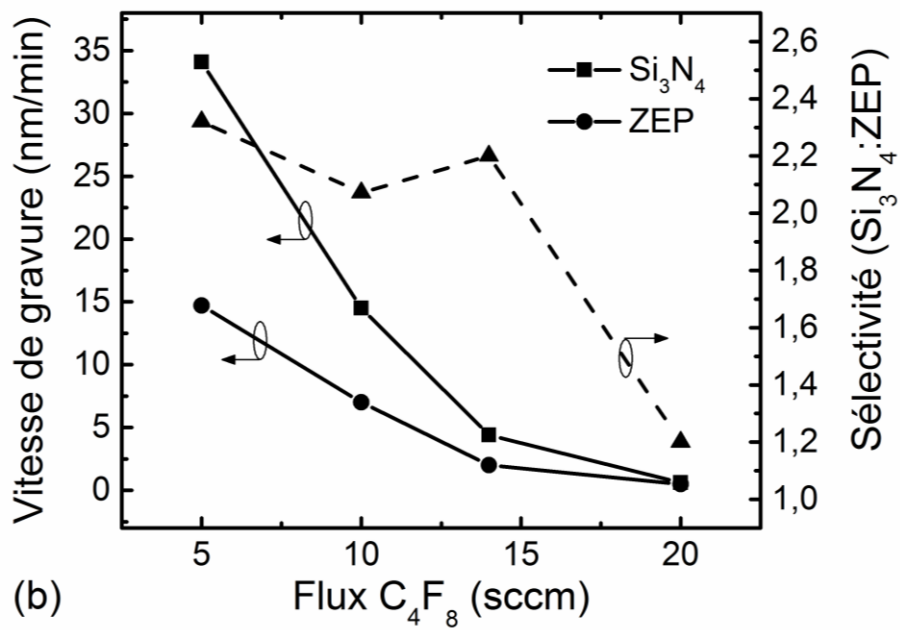
Ensuite, l'effet de la variation du flux de C_4F_8 sur les vitesses de gravure est présenté sur la figure 3.18b avec une pression fixée à 15 mTorr. L'addition de C_4F_8 réduit les vitesses de gravure de la ZEP et du Si_3N_4 . En augmentant le flux de C_4F_8 , la densité de radicaux C_xF_y et d'ions C_xF_y^+ pouvant former un polymère augmente. Par conséquent, la formation d'une passivation plus épaisse est plus favorable et réduit les vitesses de gravure. La vitesse de gravure du Si_3N_4 diminue bien plus rapidement que celle de la ZEP. L'hypothèse pour expliquer cette plus forte diminution est la réduction de la densité d'espèces fluorées gravant le Si_3N_4 avec l'injection de C_4F_8 (Bates et al. 2014).

La figure 3.18c montre la dépendance des vitesses de gravure du Si_3N_4 et de la ZEP en fonction de la puissance de la bobine. Elles diminuent quand la puissance est réduite. La dissociation et l'ionisation des molécules SF_6 et C_4F_8 et des sous-produits diminuent quand la puissance est abaissée (Chinzei et al. 1998). Le flux des ions et des espèces réactives sont moins importants et cela entraîne la réduction de la gravure de la ZEP et du Si_3N_4 .

Finalement, l'influence de la pression de la chambre est étudiée. La figure 3.18d montre que les vitesses de gravure diminuent quand la pression augmente de 5 mTorr à 20 mTorr. Cette tendance pourrait être le résultat de la combinaison de trois phénomènes. Le premier est

la diminution de la densité des ions positifs et des électrons quand la pression augmente (Gaboriau et al. 2002). Un flux d'ions plus faible arrive à la surface du matériau à graver, réduisant les mécanismes de gravure assistée par ions. Le deuxième phénomène est la diminution de l'énergie moyenne des ions (Panagopoulos & Economou 1999). Les ions sont accélérés vers la surface de l'échantillon à travers une gaine électronique. Son épaisseur est considérée comme mince pour des puissances de plateau de 10 W. À basse pression, la gaine est dans un régime sans collision, mais au fur et à mesure qu'on augmente la pression, la gaine devient collisionnelle. Dans ce dernier cas, les collisions entre ions et neutres sont augmentées et les ions frappent la surface avec beaucoup moins d'énergie à cause de ces collisions. La pulvérisation de la passivation et la gravure du Si_3N_4 sont donc réduites. La transition entre ces deux régimes de gaine peut expliquer la plus grande pente de réduction de la vitesse de gravure à partir de 10 mTorr. En plus de l'impact du bombardement ionique, l'augmentation de la pression du plasma augmente la densité des précurseurs de polymère fluorocarboné (C_xF_y), ce qui favorise la déposition d'inhibiteurs de gravure et la réduction des vitesses de gravure. Dans toutes les expériences, le procédé de gravure présente une sélectivité du Si_3N_4 par rapport à la ZEP qui varie entre 1,2 et 5, ce qui est adéquat pour la gravure de nos nanostructures.





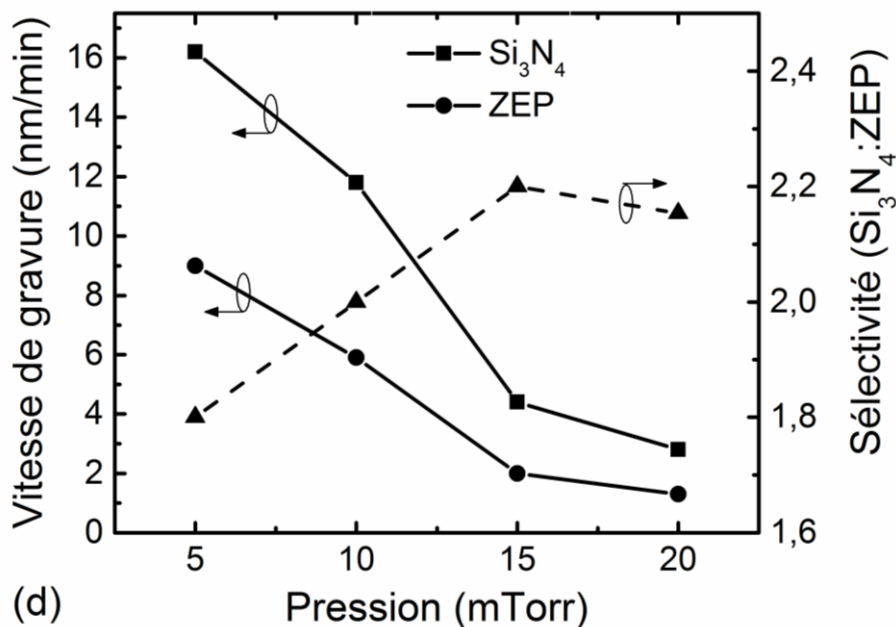


Figure 3.18 : Vitesses de gravure du Si_3N_4 et de la ZEP et la sélectivité ($\text{Si}_3\text{N}_4:\text{ZEP}$) en fonction a) de la puissance du plateau, b) du flux de C_4F_8 , c) de la puissance de la bobine et d) de la pression. (Lee Sang et al. 2015)

Après avoir observé les effets des paramètres de gravure et les vitesses de gravure qui peuvent être obtenues, la rugosité de surface après la gravure est prise en compte. On prend comme référence la rugosité de surface mesurée sur un échantillon de Si_3N_4 non gravé et qui est de 0,3 nm. La rugosité de surface devient un paramètre critique quand la vitesse de gravure de Si_3N_4 devient très faible : quand la vitesse de gravure diminue, la rugosité de surface augmente. En effet pour une vitesse de gravure de 4,4 nm/min, la rugosité de surface mesurée est de 0,4 nm, ce qui est proche de la valeur de référence. Par contre, si on diminue cette vitesse de gravure, une augmentation de la rugosité de plus de 1 nm est observée. La figure 3.19 montre une image AFM de nanostructures de Si_3N_4 gravés à une pression de 20 mTorr, correspondant à une vitesse de gravure de 2,8 nm/min. La rugosité de surface de 1,5 nm au fond des tranchées est clairement visible.

Deux mécanismes sont proposés pour expliquer cette augmentation de rugosité. Le premier est directement lié à la compétition entre la vitesse de déposition de polymère et la vitesse de gravure du Si_3N_4 . Quand la déposition de la couche fluorocarbonée devient plus importante que la gravure du Si_3N_4 , on obtient un film discontinu à la surface qui empêche

l'accès des espèces réactives à certains endroits localisés à la surface du substrat. Ce type de nanomasquage a déjà été montré pour d'autres matériaux et chimies (Sungauer 2009). Le deuxième mécanisme est relié à la fonction de distribution angulaire des ions (IADF). Dans les plasmas radiofréquence, on sait que les ions avec une faible énergie ont une dispersion angulaire plus grande (Ranjan et al. 2006). Dans la discussion sur les effets des paramètres de gravure, on a montré que la diminution de la puissance du plateau et de la pression provoquait la diminution de l'énergie des ions et par conséquent de la vitesse de suppression du polymère fluorocarboné. Si les ions ont une plus faible énergie, ils arrivent vers la surface du matériau avec différents angles à cause de la grande dispersion angulaire. Certains ions accentuent la pulvérisation de la passivation pendant que d'autres ions favorisent la déposition de polymère à différents endroits à la surface. On peut déduire que suivant la distribution du flux des ions, on obtient différentes vitesses de gravure localement à la surface.

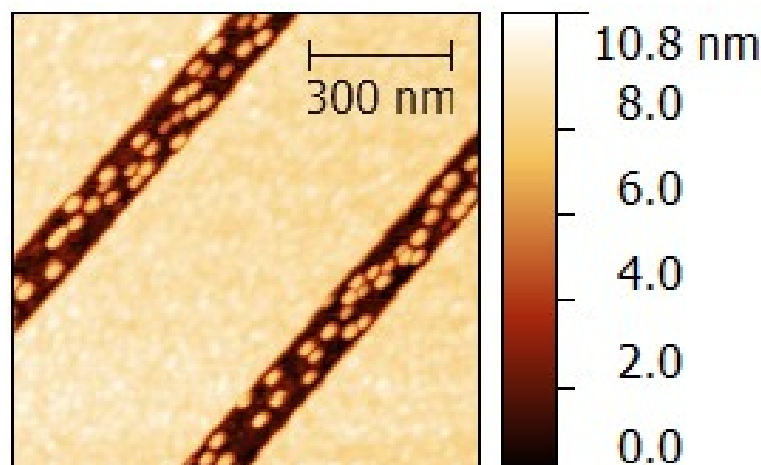


Figure 3.19 : Image AFM de nanostructures de Si_3N_4 gravées à une pression de 20 mTorr. (Lee Sang et al. 2015)

Pour notre application, on sélectionne les paramètres ICP qui permettent d'obtenir une vitesse de gravure du Si_3N_4 et une rugosité de surface aussi faible que possible. La figure 3.20 montre une image AFM d'un réseau de nanostructures de Si_3N_4 de 10 nm de profond et 200 nm de large, ainsi que la rugosité de surface sur les surfaces gravées et non gravées. Les conditions de gravure utilisées sont présentées dans le tableau 3.3. La vitesse de gravure obtenue pour le Si_3N_4 est de 6 nm/min et de 2 nm/min pour la ZEP, et la rugosité des surfaces gravées est de 0,4 nm. On remarque que pour les mêmes conditions de gravure, la vitesse de

gravure du Si_3N_4 est plus élevée dans les nanostructures que sur les échantillons non structurés, respectivement 6 nm/min et 4,5 nm/min. L'effet du taux d'ouverture (*macroloading*), qui se caractérise par une vitesse de gravure plus faible pour une surface à graver plus grande, peut expliquer ce résultat et suggérer que la gravure est limitée par les réactions chimiques à la surface dans ce régime.

Tableau 3.3 : Conditions de gravure de nanostructures de Si_3N_4

Paramètres	
Flux SF_6	5 sccm
Flux C_4F_8	14 sccm
Puissance bobine	100 W
Puissance plateau	10 W
Pression	15 mTorr
Température plateau	5 °C

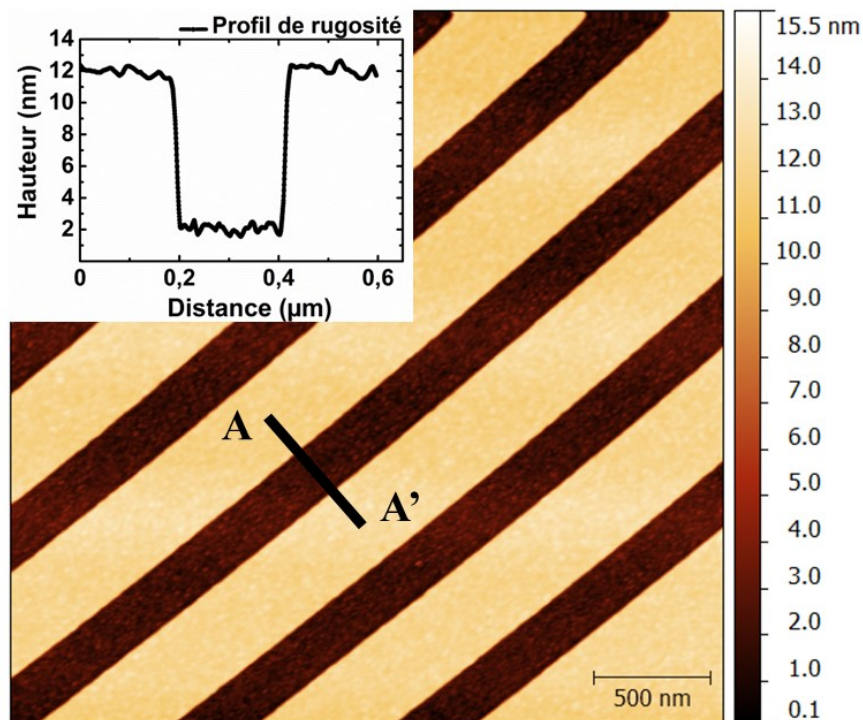


Figure 3.20 : Image AFM de nanostructures de Si_3N_4 de 10 nm de profond avec dans l'encart le profil de rugosité de surface d'une nanotranchée. (Lee Sang et al. 2015)

3.9 Couche d'arrêt pour la CMP

Des échantillons de 1 cm^2 de SiO_2 , de Si_3N_4 et de TiN non structurés sont polis avec du slurry CX afin d'évaluer les vitesses de polissage (tableau 3.4). Une sélectivité de 5 est obtenue entre le TiN et Si_3N_4 tandis qu'une sélectivité de 1,2 est obtenue avec le SiO_2 .

Tableau 3.4 : Vitesses de polissage sur des échantillons non structurés avec le slurry CX.

Matériau	Vitesse de polissage (nm/min)
TiN	30
Si_3N_4	6
SiO_2	25

Ensuite, un échantillon de SiO_2 et un de Si_3N_4 subissent une UV1 et sont gravés avec des microstructures de 36 nm de profond. Après nettoyage de la résine, une couche de 80 nm de TiN est déposée pour remplir toutes les tranchées et le polissage par CMP est effectué sur chaque type de substrat. Des structures TLM sont présentes et permettent de faire des mesures quatre pointes pour déterminer la résistance d'une microstructure gravée de $2\text{ }\mu\text{m}$ de large et $100\text{ }\mu\text{m}$ de long. Le polissage est arrêté quand les résistances obtenues sur le substrat de SiO_2 et de Si_3N_4 sont presque identiques, ce qui veut dire qu'un microfil de même épaisseur est présent sur les deux échantillons. À partir de ce point-là, on rajoute 30 s et 35 s de polissage pour l'échantillon de SiO_2 et de Si_3N_4 respectivement. L'échantillon de SiO_2 est poli 5 s de moins, car la mesure de résistance du microfil n'était plus possible à parti de 30 s. Une mesure au profilomètre est faite sur les microstructures après polissage et après gravure humide avec un mélange de Piranha ($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2$). Ces mesures permettent de déterminer l'abrasion du TiN (h_1), la hauteur des tranchées de diélectrique (h_2) et l'épaisseur de TiN restante (h_3) comme le montre la figure 3.21. L'abrasion (*dishing*) est la perte de métal dans les microstructures (figure 3.22a).

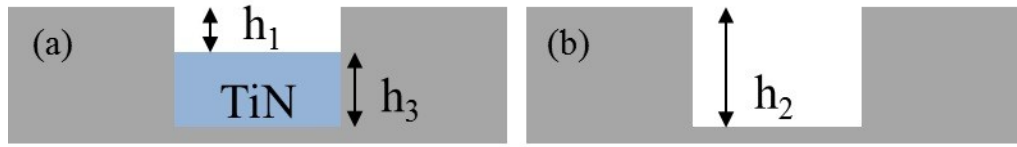


Figure 3.21 : Illustration d'un microfil (a) après polissage et (b) après gravure au Piranha. $h_2 = h_1 + h_3$.

Tableau 3.5 : Résultats des différentes épaisseurs après un polissage de 35 s pour le Si_3N_4 et de 30 s pour le SiO_2

Substrat	Abrasion (h_1)	Épaisseur diélectrique (h_2)	Épaisseur TiN (h_3)
Si_3N_4	6 nm	11 nm	5 nm
SiO_2	5 nm	9 nm	4 nm

Les résultats sont présentés dans le tableau 3.5. Même si le Si_3N_4 a été poli plus longtemps, on observe que la hauteur de marche du Si_3N_4 est un peu plus grande que celle du SiO_2 . Ce résultat correspond bien avec le fait que la vitesse de polissage du Si_3N_4 est plus petite que celle du SiO_2 , mais une plus grande différence était espérée. Le Si_3N_4 se polit beaucoup plus vite au niveau des microstructures que sur des échantillons non structurés. On pourrait expliquer ce résultat par le fait que la vitesse de polissage globale et locale est proportionnelle à la pression appliquée à la surface du matériau. Sur les échantillons, en plus du microfil il y a des microstructures partout. La vitesse de polissage du TiN est beaucoup plus rapide que celle du Si_3N_4 , ce qui entraîne une pression plus forte sur le Si_3N_4 et une vitesse de polissage globale plus grande. On observe aussi ce même phénomène sur une surface plus locale que l'on appelle érosion. Ce phénomène se traduit par un polissage local accéléré du diélectrique quand la densité de structures métalliques est importante comme le montre la figure 3.22b.

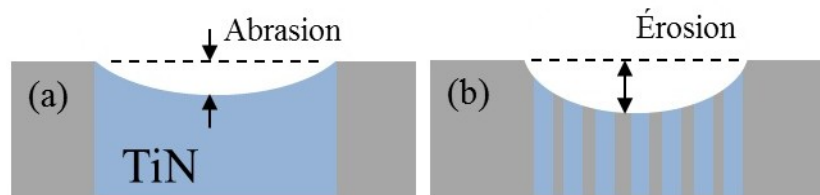


Figure 3.22 : Illustration d'anomalies de surface après polissage.

3.10 Conclusion

Dans ce chapitre, le procédé *nanodamascène* inverse qui est utilisé durant ce projet est décrit en première partie. Il permet de remplacer l'étape de soulèvement par une étape de gravure et fait appel à l'ALD pour déposer les jonctions tunnel. Le titane est supprimé du procédé et l'on n'utilise que le TiN comme matériau pour le SET. Un nouveau slurry CX a été introduit à la place du slurry Allied pour l'étape de polissage CMP.

Un procédé de gravure de nanostructures de TiN sur une nanotopographie a été développé. Le cahier des charges fixé au départ a été atteint. On a obtenu une gravure très sélective avec le SiO₂, afin de pouvoir graver complètement le TiN à l'intérieur de nanotranchées de SiO₂. Une vitesse de gravure de 55 nm/min du TiN est atteinte pour obtenir un contrôle sur le procédé. De plus, on a développé et démontré un procédé qui ne dépose pas de couches isolantes sur les flancs de gravure, ce qui est un élément indispensable à la fabrication des SET. La gravure de tranchées de SiO₂ à profil oblique a été développée pour optimiser le remplissage des tranchées. Dans l'optique de remplacer le substrat de SiO₂ par un substrat de Si₃N₄, un procédé de gravure de nanotranchées très peu profondes a été développé. Une vitesse de gravure de 6 nm/min est atteinte et la fabrication de tranchées de 10 nm de profond avec une rugosité de surface de 0,4 nm/min est démontrée. Le polissage de Si₃N₄ en tant que couche d'arrêt n'a pas donné les résultats attendus. Tout de même, des conditions de polissage ont été déterminées pour obtenir une vitesse de polissage de Si₃N₄ plus faible que celle du SiO₂ sans pour autant avoir une couche d'arrêt.

Le chapitre suivant présente les caractérisations électriques des dispositifs qui ont été fabriqués sur un substrat de SiO₂ avec le procédé *nanodamascène* inverse, afin de démontrer la fonctionnalité de SET.

CHAPITRE 4 Caractérisations électriques de nanodispositifs

Dans ce chapitre, trois types de nanodispositifs sont présentés : le nanofil, la MIM et le SET. Les nanofils et les MIM sont fabriqués et caractérisés, car ils servent à évaluer l'épaisseur du canal et les caractéristiques des jonctions tunnel du SET respectivement. Finalement, les caractéristiques électriques des SET qui ont été fabriqués sont présentées. Pour une première démonstration du procédé *nanodamascène* inverse, les nanodispositifs vont être fabriqués sur une couche de SiO₂, puisque dans l'objectif final du projet les SET seront fabriqués sur une couche de TEOS d'un substrat CMOS.

4.1 Description des dispositifs fabriqués

4.1.1 Nanofil

Le nanofil est fabriqué pendant l'étape d'EBL1 avec les mêmes dimensions que le canal d'un SET, sauf qu'il ne subit pas de gravure de TiN lors de l'EBL2. Après polissage, on obtient donc un canal, de 1 μm de long de TiN sans jonctions, qui se comporte comme une résistance électrique. Il est fabriqué en même temps que les SET, car il a deux utilités :

- Vérifier la fonctionnalité du dispositif nanofil et des connexions électriques. Ces dernières sont composées de chemins d'amenée reliés aux plots de contact, et de *pregates* qui sont des nanostructures connectant les chemins d'amenée au nanofil (figure 4.1). La caractéristique I-V du nanofil doit être linéaire et permet de vérifier qu'après polissage il n'y a pas eu de problèmes lors des différentes étapes de lithographie, de gravure, de remplissage, ou de polissage qui auraient pu causer un dysfonctionnement électrique.

- Déterminer l'épaisseur de métal restant dans la nanotranchée. Les travaux de (Guilmain et al. 2013) ont démontré qu'on pouvait déterminer l'épaisseur d'un nanofil ultrafin poli avec le procédé *nanodamascène*. Il a développé un modèle qui relie la résistance d'un nanofil à son épaisseur (figure 4.2). Une mesure quatre pointes est faite entre les deux plots de contact UV qui connectent le nanofil. Pour extraire la résistance du nanofil, il faut soustraire la

résistance des lignes de connexion UV et des *pregates* à la résistance totale mesurée. L'épaisseur du nanofil est considérée comme identique à l'épaisseur du canal du SET, car l'unique différence réside dans la présence de jonctions tunnel à l'intérieur du canal. On peut donc contrôler l'avancement du polissage après T_0 et déterminer de manière précise l'épaisseur des SET.

Le nanofil doit être placé à proximité du SET pour pouvoir déterminer de façon plus précise l'épaisseur du canal du SET, car le polissage CMP n'est pas uniforme sur tout l'échantillon de 1 cm^2 .

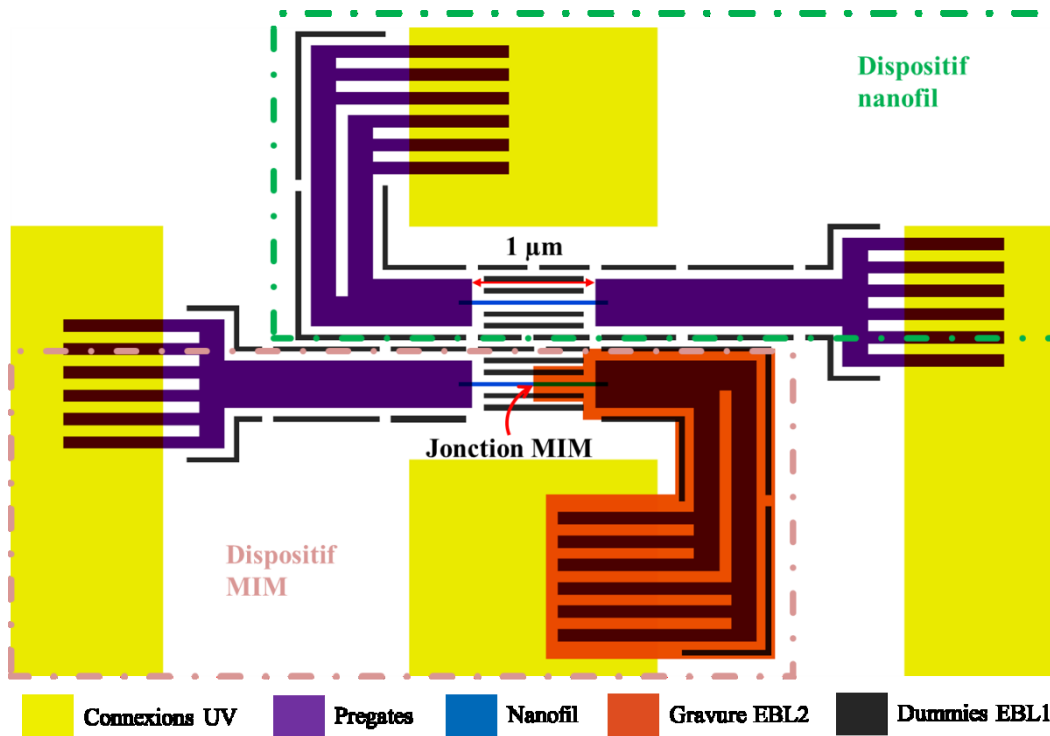


Figure 4.1 : Motifs EBL1-2 pour un dispositif nanofil (encadré vert) et pour un dispositif MIM (encadré rose).

4.1.2 Jonction MIM

Un dispositif avec une jonction MIM dans le canal d'un nanofil est aussi fabriqué. La figure 4.1 montre la nanostructure de TiN gravée lors de l'EBL2 qui permet d'obtenir une jonction MIM dans la nanotranchee après polissage. Ce dispositif sert à caractériser l'oxyde déposé par ALD que l'on retrouve en tant que jonctions tunnel dans le SET. Étant donné que l'on connaît l'épaisseur de l'oxyde déposé, on pourrait déterminer la constante diélectrique ϵ_r ,

la masse effective m^* , et la hauteur de barrière ϕ grâce à des mesures I-V du dispositif MIM. La présence de pièges peut être aussi détectée lors de la caractérisation électrique en température. Les caractérisations des MIM fabriquées sont présentées dans la section 4.3 de ce chapitre. L'épaisseur de la jonction est l'épaisseur déposée d' Al_2O_3 . La hauteur et la largeur de la jonction sont obtenues avec une mesure de résistance de nanofil et une mesure AFM respectivement.

Les MIM fabriquées sont caractérisées électriquement de 1,5 K jusqu'à température ambiante dans un cryostat à température variable (VTI). Les échantillons de 1 cm^2 sont montés sur un support de 48 broches avant d'être mis dans le VTI, puis des fils d'aluminium sont microsoudés pour faire la connexion entre un plot de contact UV et une broche.

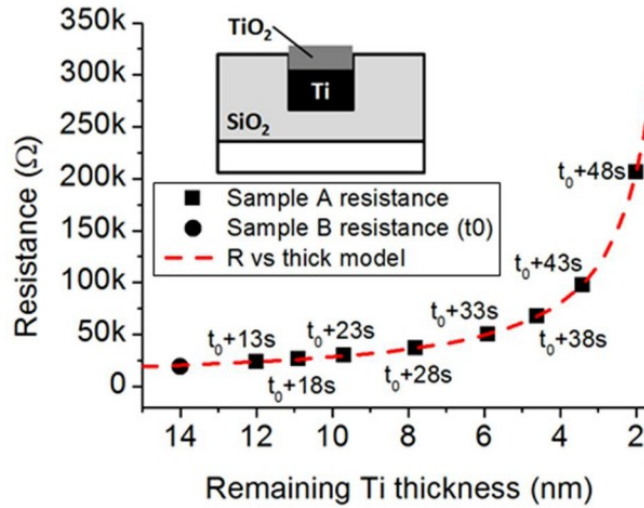


Figure 4.2 : La résistance de nanofils en fonction de leur épaisseur extraite du modèle (ligne en pointillées). L'encart montre une illustration du nanofil avec son oxyde natif. (Guilmain et al. 2013)

4.1.3 SET

La figure 4.3 présente la structure des SET fabriqués sur SiO_2 avec grille auto-alignée. Les SET présentent une première grille à une distance t_{G1} et une deuxième grille à une plus grande distance t_{G2} . Le facteur entre ces deux épaisseurs d'oxyde de grille doit théoriquement être le même facteur qu'entre les deux périodes d'oscillations de Coulomb obtenues en faisant varier chacune des grilles. Cette structure permet de valider expérimentalement le fonctionnement du SET et le facteur de capacité.

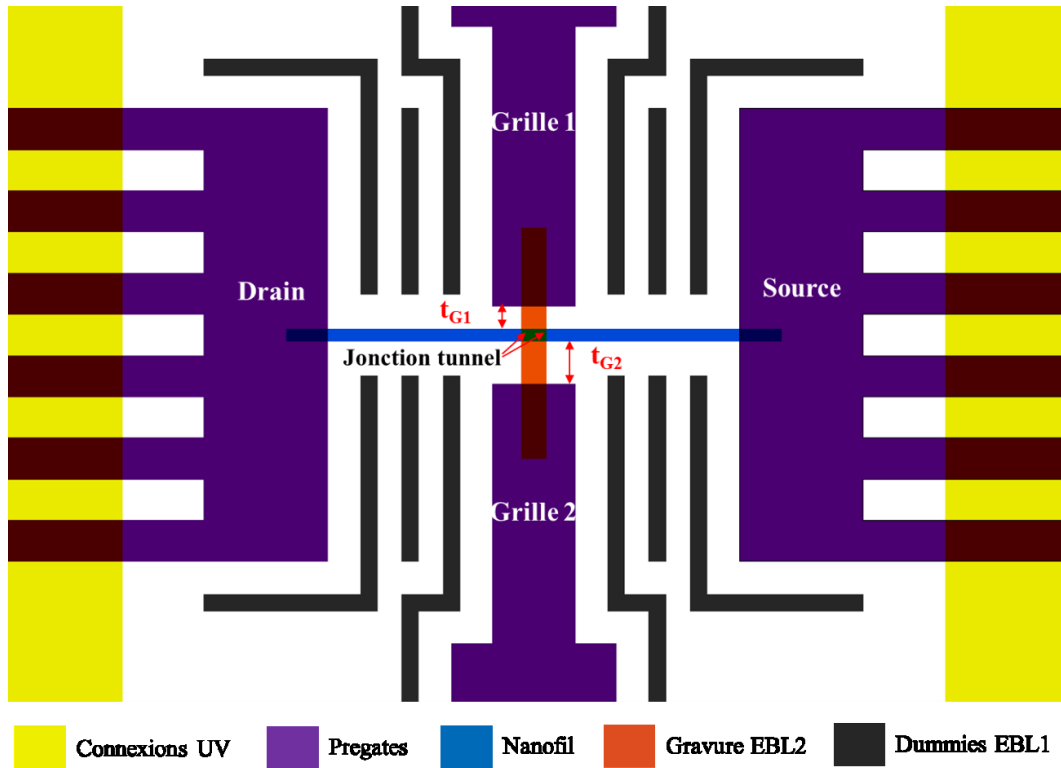


Figure 4.3 : Motifs EBL1-2 d'un SET double grille. $t_{G1} < t_{G2}$.

4.2 Modes de conduction

Les principaux mécanismes de conduction à travers un diélectrique de faible épaisseur (inférieure à 10 nm) compris entre deux électrodes de métal sont tout d'abord présentés. Les mécanismes de conduction par effet tunnel direct, par émission thermoïonique et par injection Fowler-Nordheim sont limités par les propriétés électriques de l'interface métal-diélectrique. Le paramètre le plus important pour ces mécanismes est la hauteur de barrière. Pour les mécanismes de conduction *hopping* et Poole-Frenkel, ils sont limités par les propriétés volumiques du diélectrique lui-même. Le paramètre important est le niveau d'énergie des pièges dans le diélectrique.

4.2.1 Conduction par effet tunnel direct

Lorsqu'une tension est appliquée aux bornes de la jonction MIM, un champ électrique est créé et peut entraîner le passage d'électrons par effet tunnel à travers le diélectrique (figure 4.4). La forme de la barrière vue par les électrons est trapézoïdale et l'on parle de courant

tunnel direct J_{TD} . Ce courant s'exprime à température nulle par l'équation (4.1) qui est obtenue par l'approximation WKB (Hesto 1986). Ce type de conduction est très peu sensible à la température et dépend surtout de l'épaisseur de l'oxyde et de la hauteur de barrière. La hauteur de barrière effective diminue quand la tension appliquée augmente, ce qui réduit donc la résistance de la jonction tunnel. Le comportement I-V d'une MIM est par conséquent non linéaire.

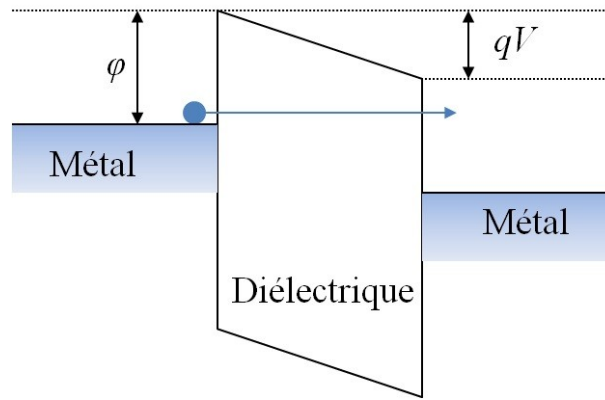


Figure 4.4 : Diagramme des bandes d'énergie dans le cas de l'émission tunnel direct dans une jonction MIM sous un potentiel appliqué V.

$$J_{tunnel}(E) = \frac{q^2 \phi}{\pi h t_{ox}^2} \exp \left[-\frac{4\pi \sqrt{2qm^*}}{h} t_{ox} \sqrt{\phi} \right] \sin \left[\frac{4\pi \sqrt{2qm^*}}{h} \frac{q t_{ox} E}{4\sqrt{\phi}} \right] \quad (4.1)$$

avec t_{ox} l'épaisseur du diélectrique, E le champ électrique, m^* la masse effective, ϕ la hauteur de barrière en eV, q la charge d'un électron et h la constante de Planck.

4.2.2 Conduction par injection Fowler-Nordheim

Quand le champ électrique à travers le diélectrique ou la tension appliquée aux bornes de la jonction sont assez élevés, la barrière énergétique vue par les électrons devient triangulaire (figure 4.5). La hauteur de barrière effective et la distance tunnel sont plus faibles que dans le cas d'un champ électrique faible. Dans ce régime, les électrons traversent par effet tunnel dans la bande de conduction du diélectrique et on parle de courant tunnel de type Fowler-Nordheim. Ce courant J_{FN} présente une dépendance linéaire de $\ln(J_{FN}/E^2)$ en E^{-1} , avec E est le champ électrique et J la densité de courant. La pente de cette droite est négative

et est égale à l'équation (4.2) (Lenzlinger & Snow 1969). On peut donc extraire la masse effective de l'électron dans le diélectrique et la hauteur de barrière soit en résolvant l'équation avec l'ordonnée à l'origine de la droite du courant Schottky ou en connaissant l'un de ces deux paramètres.

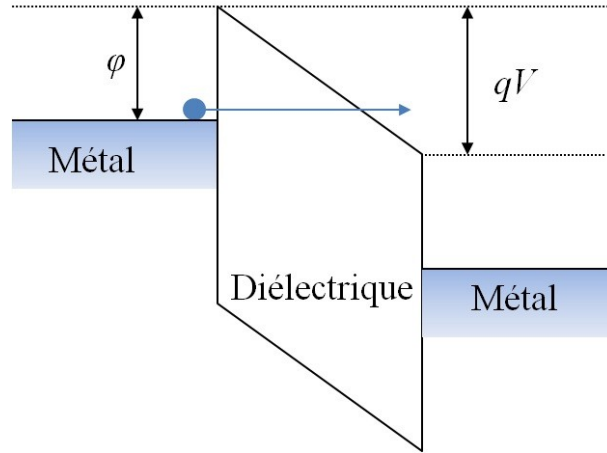


Figure 4.5 : Diagramme des bandes d'énergie dans le cas de l'émission Fowler-Nordheim dans une jonction MIM sous un potentiel appliqué V .

$$pente_{FN} = -\frac{8\pi\sqrt{2m^*/m}}{3hq}\phi^{\frac{3}{2}} \quad (4.2)$$

avec m la masse de l'électron.

4.2.3 Conduction par émission thermoïonique ou Schottky

Lorsque les électrons qui se situent dans l'électrode métallique de gauche acquièrent assez d'énergie par activation thermique, ils peuvent surmonter la barrière de potentiel et passer à travers le diélectrique (figure 4.6). Ce courant s'appelle le courant thermoïonique ou Schottky J_S et présente une dépendance linéaire de $\ln(J_S/T^2)$ en \sqrt{E} dont la pente est égale à l'équation (4.3) et l'ordonnée à l'origine est égale à l'équation (4.4) (Hesto 1986). La pente permet d'extraire la permittivité relative du diélectrique ou la constante diélectrique. Avec l'ordonnée à l'origine $O_{Schottky}$, on peut extraire la masse effective de l'électron dans le diélectrique et la hauteur de barrière soit en résolvant l'équation avec la pente de la droite du courant Fowler-Nordheim ou en connaissant l'un de ces deux paramètres.

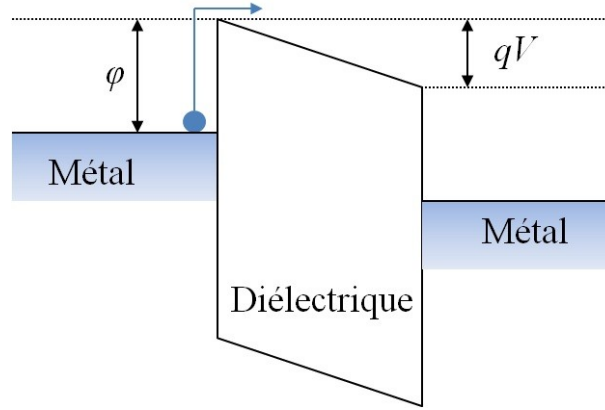


Figure 4.6 : Diagramme des bandes d'énergie sans le cas de l'émission thermoïonique dans une jonction MIM sous un potentiel appliqué V .

$$pente_{Schottky} = \frac{\sqrt{q^3/4\pi\epsilon_r\epsilon_0}}{kT} \quad (4.3)$$

$$O_{Schottky} = \ln\left(120 \frac{m^*}{m}\right) - \frac{\phi}{kT} \quad (4.4)$$

avec ϵ_r la permittivité relative du diélectrique, ϵ_0 la permittivité du vide, k la constante de Boltzmann et T la température.

4.2.4 Conduction Poole-Frenkel

Un piège est un site d'émission ou de capture de porteurs dans la bande interdite du diélectrique, et est lié à des défauts dans le matériau. Quand un champ électrique est appliqué à travers la barrière, il peut y avoir une émission d'électrons dans la bande de conduction par effet thermoïonique à partir de pièges situés dans le diélectrique (figure 4.7). Les électrons sont émis, se déplacent et se relaxent dans un piège. Ce courant est appelé courant par émission Poole-Frenkel J_{PF} et présente une dépendance linéaire de $\ln(J_{PF}/E)$ en \sqrt{E} dont la pente est égale à l'équation (4.5) (De Salvo 1999).

$$pente_{P-F} = \frac{\sqrt{q^3/\pi\epsilon_r\epsilon_0}}{kT} \quad (4.5)$$

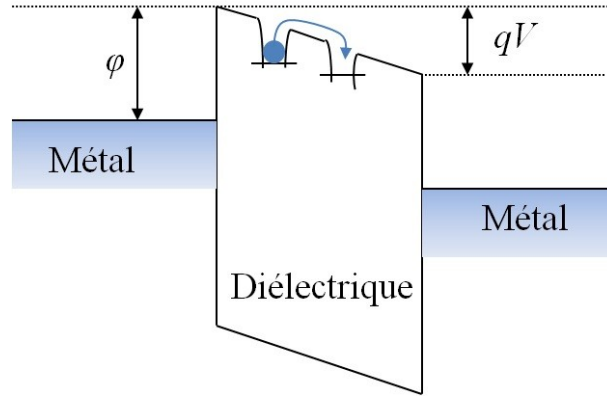


Figure 4.7 : Diagramme des bandes d'énergie dans le cas de la conduction Poole-Frenkel dans une jonction MIM sous un potentiel appliqué V .

4.2.5 Conduction *hopping*

Dans la conduction *hopping*, les électrons piégés dans le diélectrique se déplacent de piège en piège par effet tunnel et non par effet Schottky (Gier et al. 1986) (figure 4.8). Le courant par *hopping* J_H présente une dépendance linéaire de $\ln(J_{Hopping}/E)$ en E dont la pente est égale à l'équation (4.6). On peut extraire la distance moyenne d entre chaque piège à partir de cette équation.

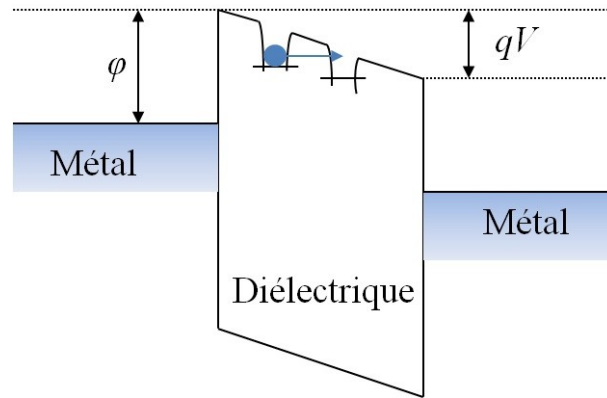


Figure 4.8 : Diagramme des bandes d'énergie dans le cas de la conduction *hopping* dans une jonction MIM sous un potentiel appliqué V .

$$pente_{Hopping} = \frac{d}{2kT} \quad (4.6)$$

4.3 Caractérisations de MIM

4.3.1 Symétrie de la MIM

Une couche d' Al_2O_3 d'une épaisseur de 2 nm est déposée à 250 °C par ALD thermique pour former les jonctions tunnel. La figure 4.9 présente les courbes de courant expérimentales d'une MIM en fonction de la valeur absolue du potentiel appliqué, à deux températures différentes. Les courbes se superposent, ce qui signifie que la jonction est symétrique. Ce résultat démontre à nouveau que la gravure de TiN n'a pas déposé d'isolant sur les flancs de gravure, car sinon on aurait eu une asymétrie de la caractéristique I-V due à la présence d'une structure multicouche (Grover & Model 2012). La figure 4.10 illustre le diagramme des bandes d'une MIM dans le cas ou non d'une passivation isolante en fonction du potentiel appliqué. Dans le cas d'une structure à un diélectrique, la barrière vue par les électrons est la même pour un potentiel positif ou négatif appliqué (figure 4.10(a) et (b)). Par contre, dans le cas d'une structure avec deux diélectriques on observe que le profil de la barrière n'est pas le même suivant le signe du potentiel appliqué (figure 4.10(c) et (d)).

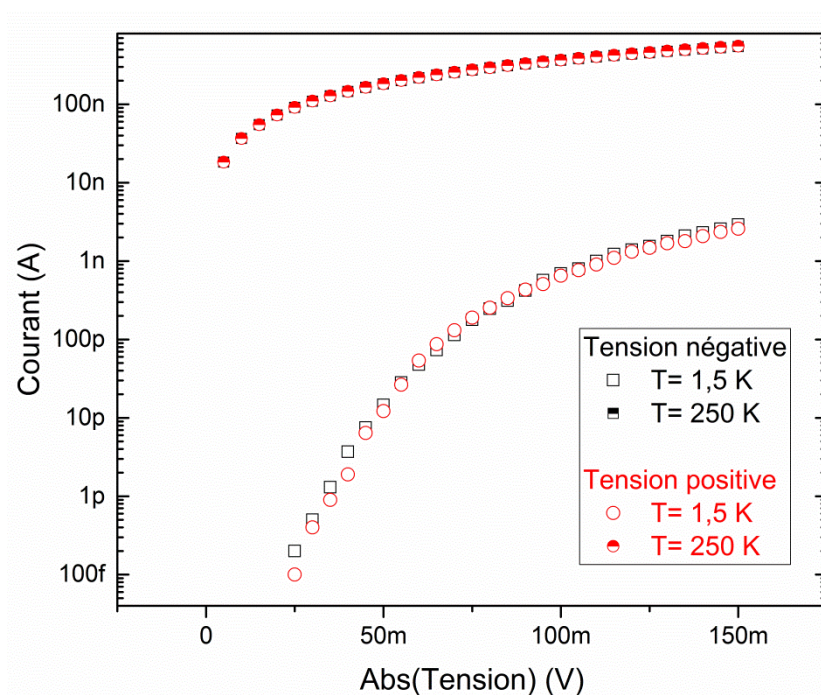


Figure 4.9 : Caractéristique du courant mesuré dans la MIM en fonction de la valeur absolue du potentiel appliqué, à $T = 1,5$ K et $T = 250$ K.

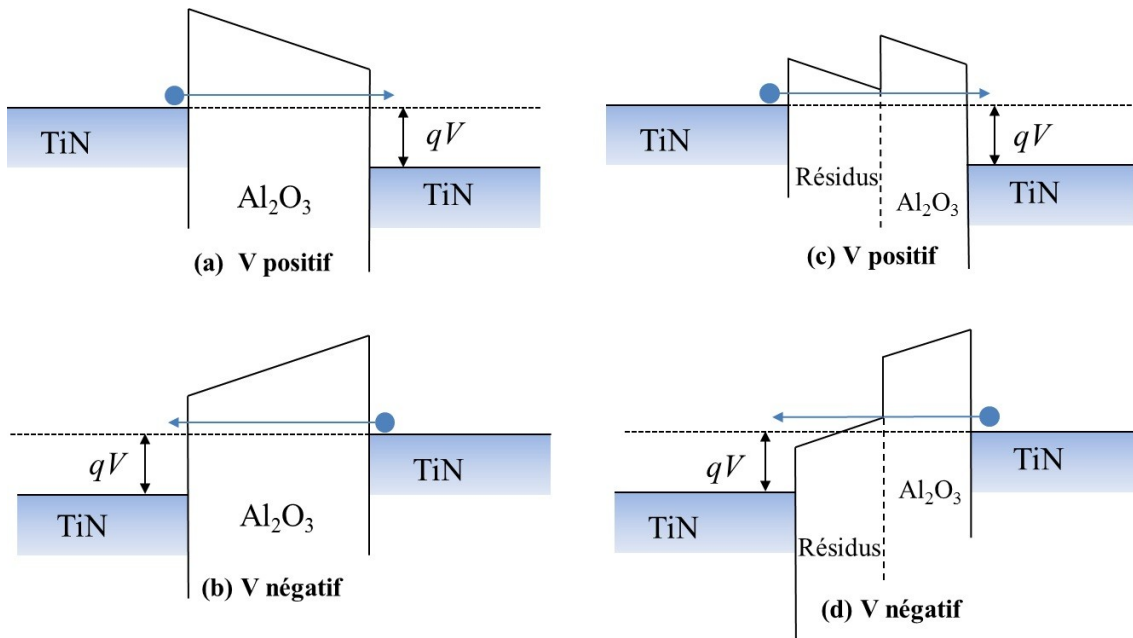


Figure 4.10 : Diagrammes des bandes d'énergie pour une structure MIM symétrique dans (a) et (b), et pour une structure asymétrique dans (c) et (d), sous un potentiel positif ou négatif appliqué.

4.3.2 Analyse des modes de conduction

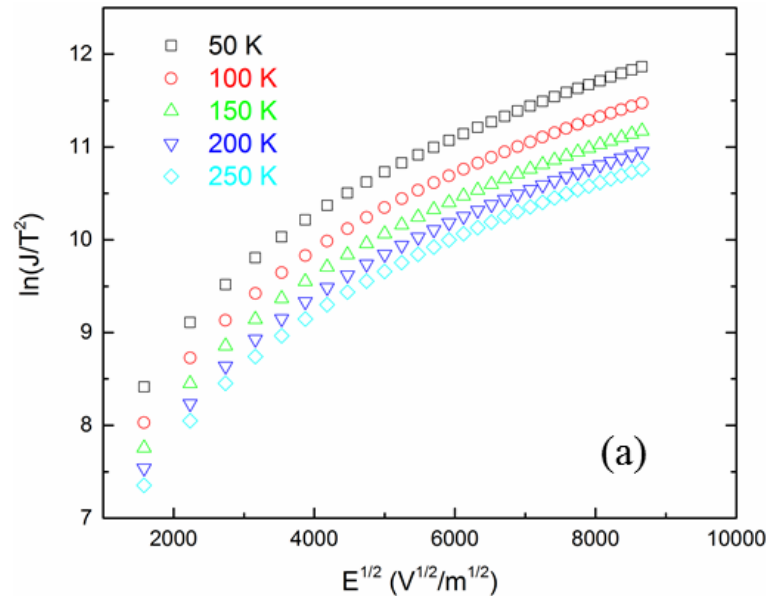
On observe sur la figure 4.9 que la température joue un rôle important sur la conductivité de la MIM. Le courant à 250 K est au moins cent fois plus grand que celui à 1,5 K, c'est-à-dire que la résistance tunnel varie énormément en fonction de la température. On en déduit que les modes de conduction ne sont pas les mêmes à basse et à haute température. Afin de déterminer les modes de conduction, on trace les données expérimentales suivant les dépendances de chaque mode de conduction en fonction de la température.

La figure 4.11a correspond à la conduction Schottky. Le graphique ne montre pas de dépendance linéaire ce qui signifie que le courant thermoionique n'est pas dominant. Ce résultat n'est pas surprenant, car la hauteur de barrière entre le TiN et l' Al_2O_3 est environ de 2,7 eV (El Hajjam 2015) et que la température n'est seulement que de 250 K. L'énergie des électrons est trop faible pour vaincre cette barrière. La constante diélectrique ne peut donc pas être extraite de ce graphique.

Ensuite, les figure 4.11b-c représentent les modes Poole-Frenkel et *hopping* respectivement. Pour une température supérieure à 20 K, on observe une dépendance linéaire pour les deux graphiques; les courants dominants sont le courant par *hopping* et par Poole-

Frenkel à haute température. Le courant total est donc limité par les pièges et on peut extraire une distance moyenne entre pièges de 1,8 nm et de 0,2 nm à partir des mesures à 20 K et 250 K respectivement, à partir de l'équation (4.6). La distance entre pièges change en fonction de la température, car les pièges ont plusieurs niveaux énergétiques et ce ne sont pas les mêmes qui conduisent à différentes températures (De Salvo 1999).

La figure 4.11d représente la conduction Fowler-Nordheim. On observe une légère pente linéaire négative à fort champ pour des températures allant de 1,5 K jusqu'à 8 K, ce qui démontre la conduction Fowler-Nordheim à basse température. Les paramètres électriques (m^* et ϕ) n'ont pas pu être extraits de cette courbe, car la tension appliquée n'est pas assez haute pour être complètement en régime Fowler-Nordheim. Cette conduction par Fowler-Nordheim n'était pas attendue pour une tension appliquée de 150 mV. La hauteur de barrière théorique étant de 2,7 eV, une tension proche de 2,7 V aurait été nécessaire pour pouvoir observer un courant par Fowler-Nordheim. L'hypothèse émise est la présence d'un oxyde TiO_x avec une hauteur de barrière faible de chaque côté de la jonction Al_2O_3 due à une légère oxydation des électrodes de TiN (El Hajjam 2015). À haute température, la conduction se ferait alors principalement par les pièges dans l' Al_2O_3 , et le TiO_x serait négligeable. Par contre, à basse température, la majorité des pièges seraient figés et une conduction par Fowler-Nordheim à travers le TiO_x apparaîtrait.



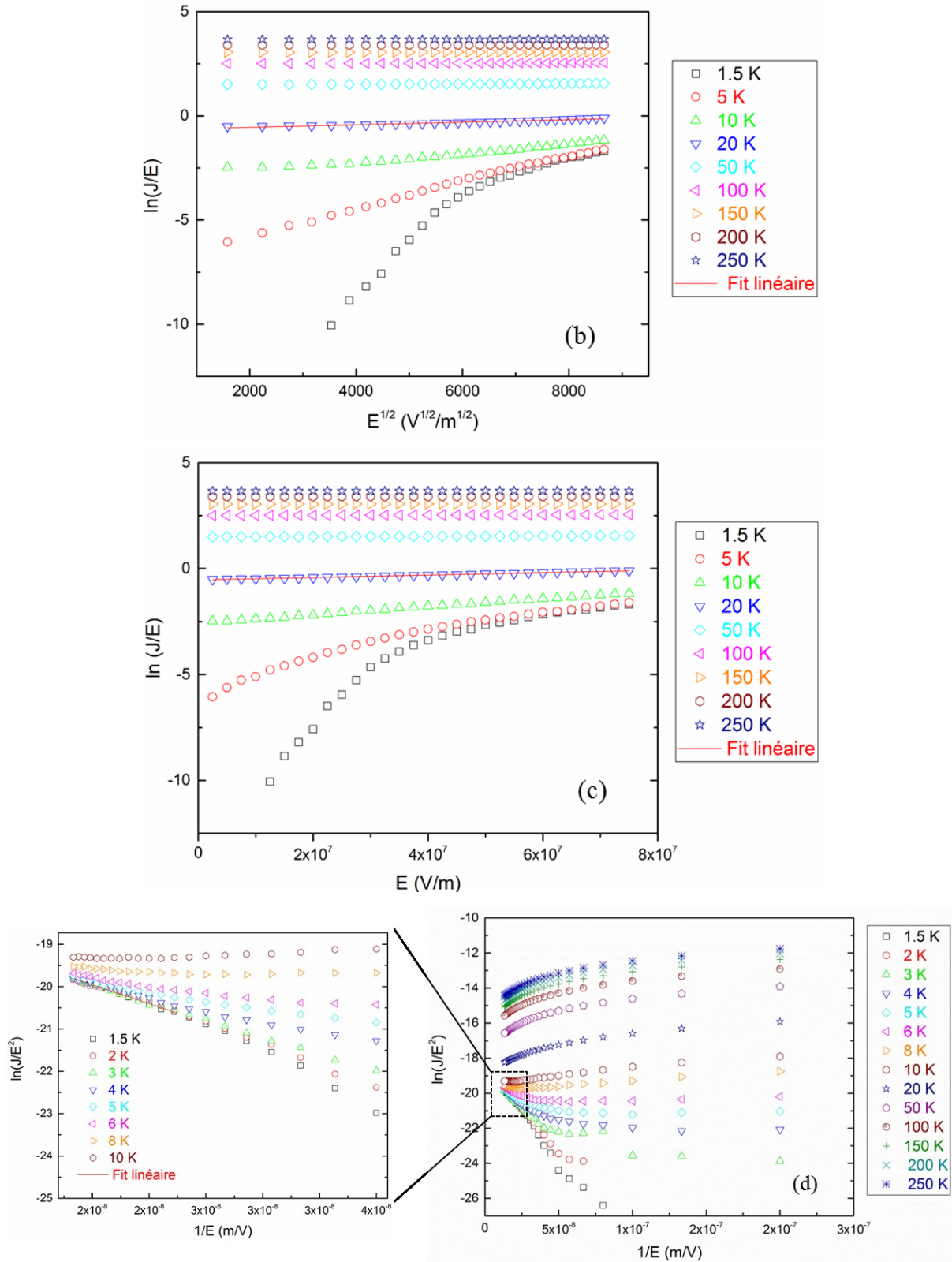


Figure 4.11 : Caractéristiques électriques d'une MIM en fonction des analyses des différents modes de conduction présents : (a) Schottky, (b) Poole-Frenkel, (c) *hopping* et (d) Fowler-Nordheim.

Ces analyses montrent donc la présence de pièges dans les jonctions d' Al_2O_3 , déduite de la conduction *hopping* et Poole-Frenkel à haute température, et l'apparition d'une autre jonction à basse température, déduite de la conduction Fowler-Nordheim.

4.3.3 Vieillissement des MIM

Trois jonctions MIM sont caractérisées en fonction du temps après avoir été passivées avec 146 nm de Si_3N_4 PECVD. La MIM A et B proviennent du même échantillon tandis que la MIM C est fabriquée sur un second échantillon. Le Si_3N_4 est connu comme couche barrière empêchant la diffusion de l'oxygène ou de la vapeur d'eau de l'air (Wuu et al. 2005). Cette couche protège la surface de l'échantillon contre tout apport d'oxygène par l'air. La figure 4.12 montre les caractéristiques I-V faites à différents intervalles de temps. On constate que les courbes se superposent et qu'il n'y a aucun vieillissement de la jonction tunnel ou du TiN pour les trois dispositifs après 48 jours. On peut déduire de ce résultat qu'il n'y a pas de diffusion remarquable d'oxygène provenant des jonctions d' Al_2O_3 à travers le TiN. Les dispositifs fabriqués sont donc stables dans le temps.

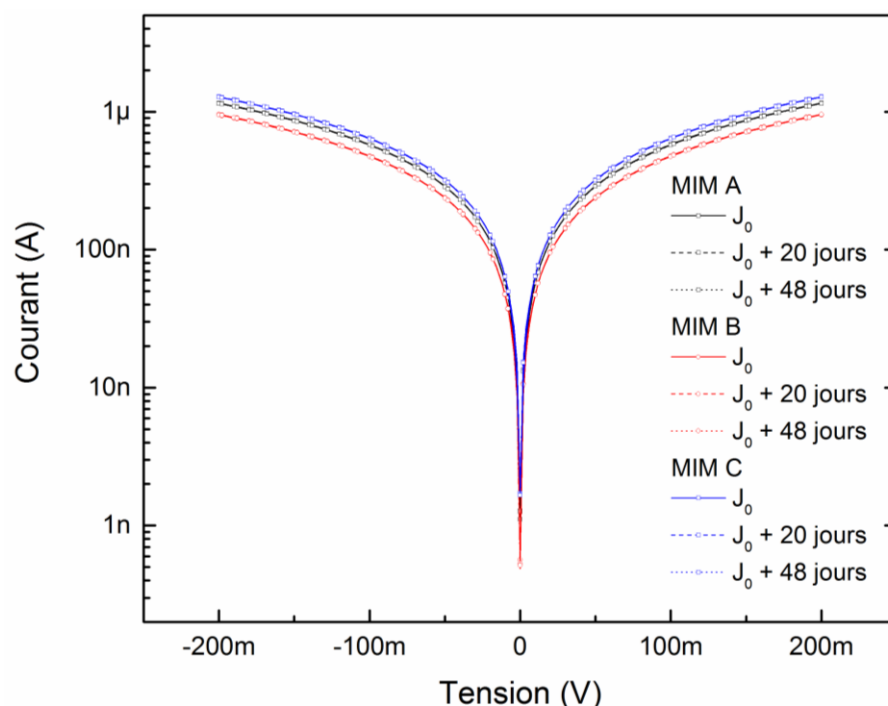


Figure 4.12 : Évolution des caractéristiques I-V de MIM passivées en fonction du temps.

4.4 Caractérisations de SET

4.4.1 Paramètres SET

Les figure 4.13a-b illustrent les différents paramètres géométriques d'un SET pour un îlot simple et un îlot encastré respectivement. Le cas de l'îlot simple est généralement obtenu par une oxydation des électrodes alors que l'îlot encastré dans de l'oxyde est obtenu par le procédé *nanodamascène* inverse. Les valeurs des capacités sont calculées pour les deux géométries par la méthode des éléments finis avec le logiciel de simulation COMSOL. Les principes de la méthode de simulation sont détaillés dans les travaux de (Droulers 2016). Les matériaux considérés pour le substrat et la passivation sont le SiO_2 et le Si_3N_4 respectivement. Le tableau 4.1 résume les différentes valeurs de capacités obtenues pour un îlot simple et un îlot encastré avec des jonctions en Al_2O_3 . Les paramètres utilisés pour la simulation sont présentés dans le tableau 4.2. Les constantes diélectriques choisies pour l' Al_2O_3 , le SiO_2 et le Si_3N_4 sont 6,2, 3,9, et 7 respectivement. La constante diélectrique de l' Al_2O_3 est extraite des travaux de fabrication de jonctions MIM en Al_2O_3 thermique de (El Hajjam 2015).

Tableau 4.1 : Tableau comparatif des capacités entre deux géométries d'îlot.

Paramètres	Îlot simple	Îlot encastré
Capacité source, C_S	13,2 aF	11,5 aF
Capacité drain, C_D	13,2 aF	11,6 aF
Capacité grille 1, C_{G1}	2,35 aF	2,05 aF
Capacité grille 2, C_{G2}	0,87 aF	0,77 aF
Capacité substrat, C_{sub}	1,46 aF	1,25 aF
Capacité totale, C_Σ	31,4 aF	27,2 aF
Énergie de charge, E_C	2,55 meV	2,94 meV
Température maximale, T_{max}	2,96 K	3,41 K

La capacité totale de l'îlot C_Σ est égale à la somme des capacités C_S , C_D , C_{G1} , C_{G2} et C_{sub} . L'énergie de charge E_C est égale à $e/2C_\Sigma$. La température maximale de fonctionnement

est calculée à partir de l'équation $E_c = 10kT_{max}$. On remarque que toutes les capacités sont plus faibles dans le cas d'un îlot entouré d' Al_2O_3 . La capacité totale diminue d'environ 13 % dans ce cas, et on démontre ainsi l'avantage de l'utilisation d'un îlot encastré pour diminuer C_z et par le fait même pour augmenter la température maximale de fonctionnement.

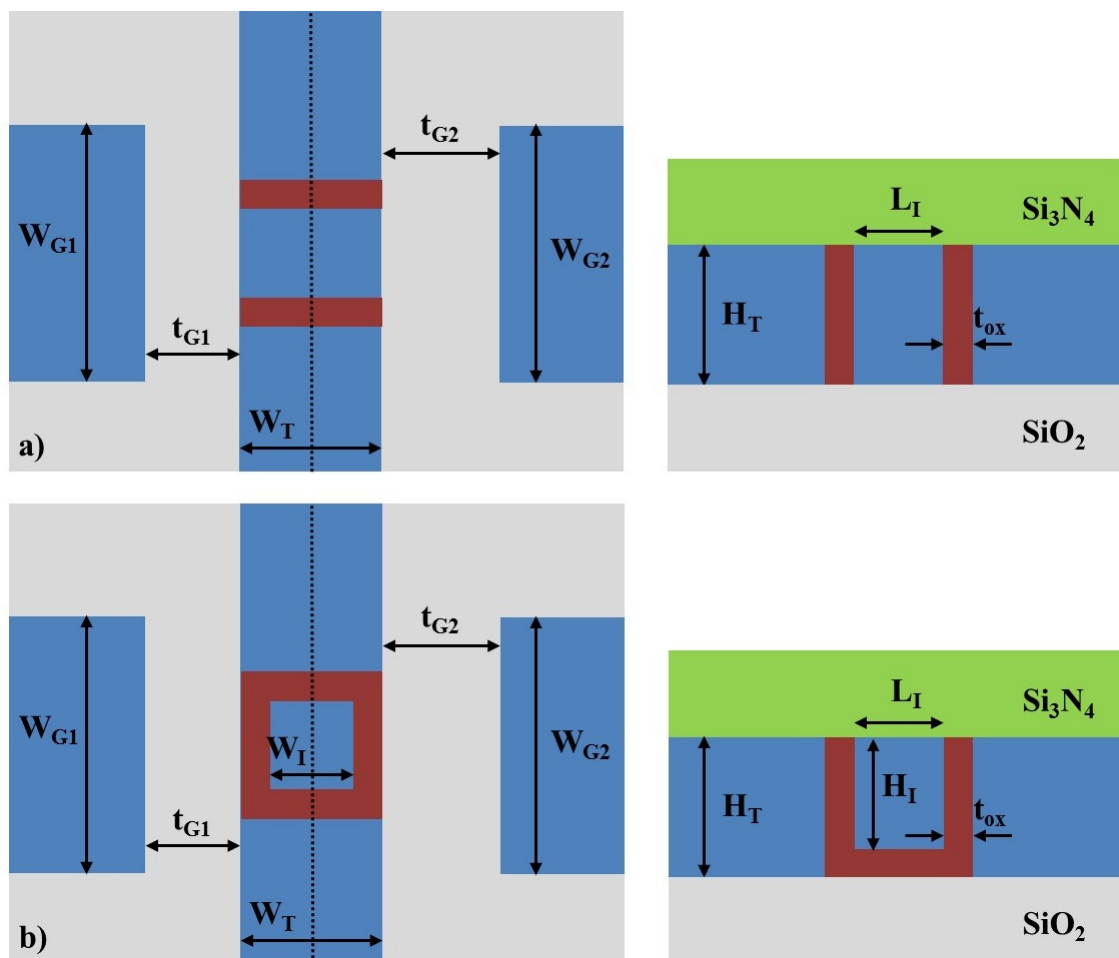


Figure 4.13 : Représentation de la géométrie du SET à gauche la vue de dessus et à droite la vue en coupe. a) Îlot simple, b) Îlot encastré.

Un SET est fabriqué avec le procédé *nanodamascène* inverse, et les dimensions expérimentales obtenues sont présentées dans le tableau 4.2. Les paramètres géométriques sont extraits d'une mesure AFM et d'une mesure électrique de nanofil. Les valeurs de capacités simulées dans le tableau 4.1 ne sont pas exactement celles de la réalité, car la barrière de TiO_x , qui a été mise en avant dans la caractérisation des MIM à froid, n'est pas

prise en compte dans la modélisation. Elles restent tout de même valables pour une première estimation de capacités.

Tableau 4.2 : Valeurs des paramètres géométriques du SET.

Paramètres	Valeurs
Épaisseur jonction Al_2O_3 , t_{ox}	2 nm
Longueur îlot, L_I	46 nm
Largeur îlot, W_I	14 nm
Hauteur îlot, H_I	17 nm
Largeur tranchée, W_T	18 nm
Hauteur tranchée, H_T	19 nm
Distance grille 1, t_{G1}	50 nm
Largeur grille 1, W_{G1}	203 nm
Distance grille 2, t_{G2}	137 nm
Largeur grille 2, W_{G2}	203 nm
Épaisseur substrat SiO_2	160 nm
Épaisseur passivation Si_3N_4	146 nm

4.4.2 Caractéristiques électriques

Le SET est caractérisé à 1,5 K afin de minimiser l'effet des pièges dans les jonctions tunnel et de diminuer l'énergie thermique kT . La figure 4.14 présente la caractéristique $I_{\text{ds}}-V_{\text{ds}}$ mesurée du SET. La courbe est symétrique et non linéaire, mais le blocage de Coulomb n'est pas observable. On peut émettre l'hypothèse que l'énergie de charge du SET soit trop faible par rapport à kT , ce qui entraîne un courant de fuite. L'énergie de charge et T_{max} simulées dans le tableau 4.2 seraient donc surestimées. D'après les caractérisations de MIM, on sait qu'une barrière de TiO_x apparaît à basse température. Cette barrière n'est pas prise en compte lors de la modélisation et pourrait être la raison de cette divergence de résultats. Il faudrait réduire davantage la température afin d'observer le blocage de Coulomb plus clairement.

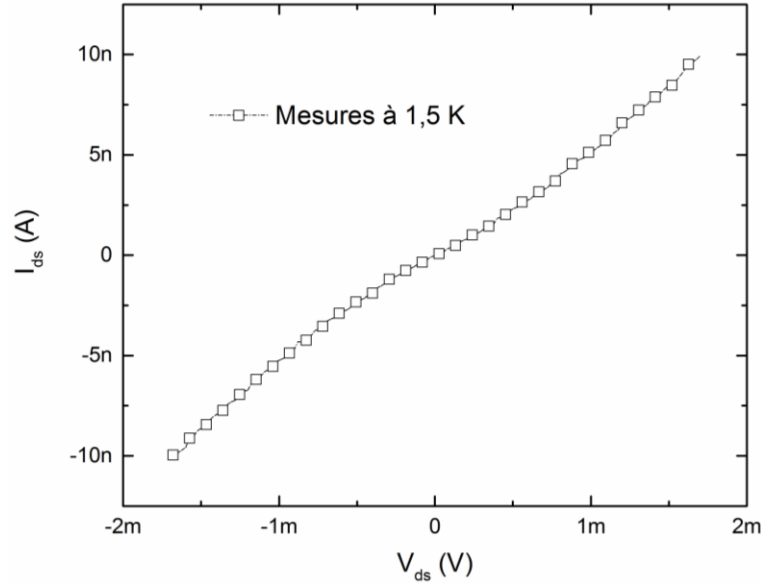


Figure 4.14 : Caractéristique I_{ds} - V_{ds} mesurée du SET à 1,5 K.

Pour vérifier le fonctionnement d'un transistor monoélectronique, il est nécessaire d'observer des oscillations du courant en fonction de la tension de grille. La figure 4.15 montre les caractéristiques I_{ds} - V_{gs} mesurées avec comme grille principale la grille latérale la plus proche (V_{G1}) et comme deuxième grille la face arrière (V_{sub}). La deuxième grille latérale (V_{G2}) est gardée à 0 V. Une première mesure est faite en polarisant la face arrière à 0 V, et une deuxième mesure est faite à 7 V. Les deux mesures sont identiques, mais avec un décalage en tension ΔV d'une valeur de -0,62 V entre les deux courbes. Des oscillations avec une période régulière de 1,35 V sont obtenues sur les deux mesures. Ces caractéristiques électriques présentent donc bien le comportement d'un SET. Le courant n'est pas nul dans le bas des oscillations, car il y a peu de blocage de Coulomb à cette température (courant de fuite) et de ce fait, le V_{ds} n'a pas pu être choisi clairement en dessous du V_{th} . La période d'oscillation permet tout de même d'extraire une capacité de 0,12 aF pour la grille 1 à l'aide de l'équation $période = q/C_{G1}$. Le décalage en tension permet de calculer une capacité de grille face arrière de 0.01 aF grâce à l'équation $\Delta V = -C_{sub}\Delta V_{sub}/C_{G1}$. La valeur expérimentale de capacité de la grille 1 est vingt fois plus petite que celle simulée. Pour la grille face arrière, c'est un facteur 100 de différence. Une erreur sur la permittivité ou sur les dimensions des structures pourrait être présente, mais elle est insuffisante pour pouvoir justifier cet écart de valeurs. L'hypothèse émise est la présence d'une ou plusieurs capacités parasites très faibles

en série avec les capacités de grille. Ces capacités additionnelles pourraient provenir de la capacité parasite à l'intérieur de la boîte de grille ou de la présence de pièges.

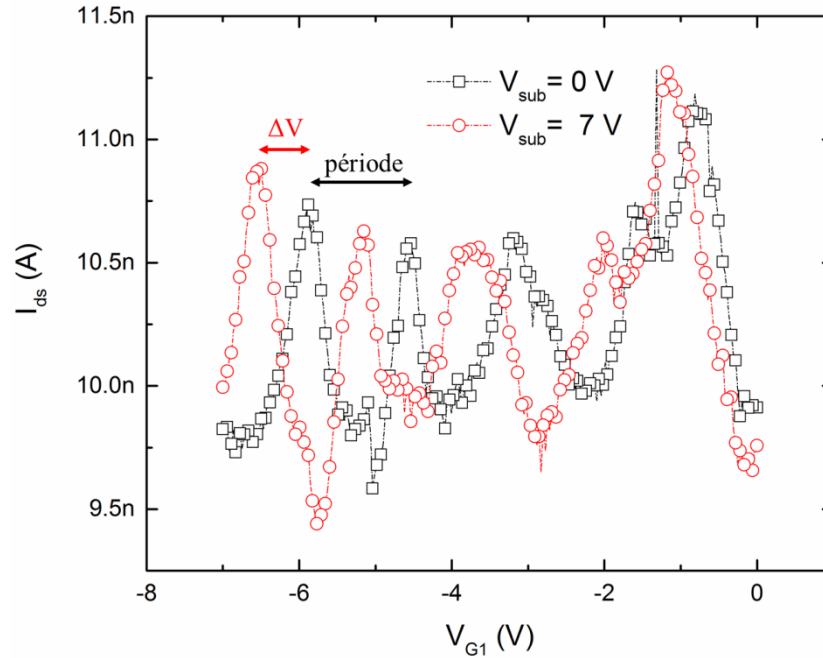


Figure 4.15 : Caractéristiques I_{ds} - V_{G1} mesurées en fonction de la polarisation du substrat, pour $V_{ds} = 2$ mV et $T = 1,5$ K.

D'après l'étude des dispositifs MIM, on sait que des pièges sont présents dans le diélectrique Al_2O_3 . On observe aussi sur la figure 4.15 que les oscillations de Coulomb ne sont plus périodiques quand la tension de grille est comprise entre -2 V et 0 V. Il est alors intéressant d'étudier la variation temporelle du courant pour vérifier la stabilité du courant. La figure 4.16 présente le courant I_{ds} en fonction du temps pour une tension drain-source de 1 mV et pour deux tensions de grille différentes. On constate que le courant varie entre deux niveaux principaux de courant pour une tension de grille égale à 0 V. Ces fluctuations aléatoires et discrètes sont connues sous le nom de bruit télégraphique ou RTS (*Random Telegraphic Signal*). Ce bruit est dû aux piégeages et dépiégeages de porteurs par un ou plusieurs pièges à l'interface oxyde/métal ou dans l'oxyde. Par contre, pour une polarisation de 5 V de la grille face arrière on remarque que le courant est beaucoup plus stable, ce qui veut dire que dans certaines conditions de polarisation, on peut rendre les pièges moins actifs.

Sachant que les pièges ont une influence sur la stabilité du courant, deux diagrammes de stabilité donnant le courant du SET en fonction de la polarisation des grilles environnantes

sont mesurés. La figure 4.17 présente le diagramme de stabilité entre la grille 1 et la grille face arrière. Les lignes présentes sont les pics de conduction des oscillations. La pente des lignes représente le ratio du couplage de ces deux grilles avec l'îlot. Les lignes sont presque verticales, ce qui signifie que le SET est très peu couplé au substrat par rapport à la grille 1. Ce résultat est en accord avec les valeurs de capacités extraites de la figure 4.15 : la capacité de la grille 1 est dix fois plus grande que celle de la grille face arrière. Malgré la variation de la polarisation de la grille face arrière, les lignes ne sont pas clairement bien définies et du bruit persiste sur presque tout le diagramme. Cependant, on retrouve le résultat de la figure 4.16. La zone autour de 0 V (cercle A) semble être légèrement plus bruitée, c'est-à-dire plus instable, que la zone autour de 5 V (cercle B) à cause de la présence de pièges actifs. On remarque aussi une différence de périodicité des pics de courant pour des tensions négatives et positives de la grille 1. Sachant que la période d'une oscillation est inversement proportionnelle à la capacité de grille, on pourrait émettre l'hypothèse que les capacités parasites seraient modifiées en fonction du signe de la polarisation de la grille 1. On a montré que les pièges sont influencés par le potentiel des électrodes. Leur couplage avec l'îlot changerait donc en fonction de la polarisation de la grille.

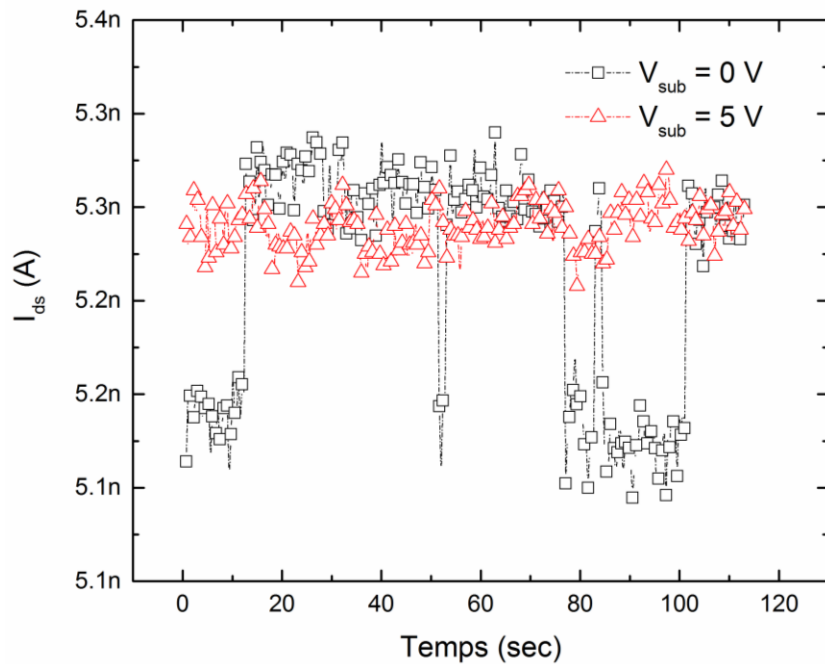


Figure 4.16 : Caractéristique I_{ds} en fonction du temps pour $V_{ds} = 1$ mV à 1.5 K.

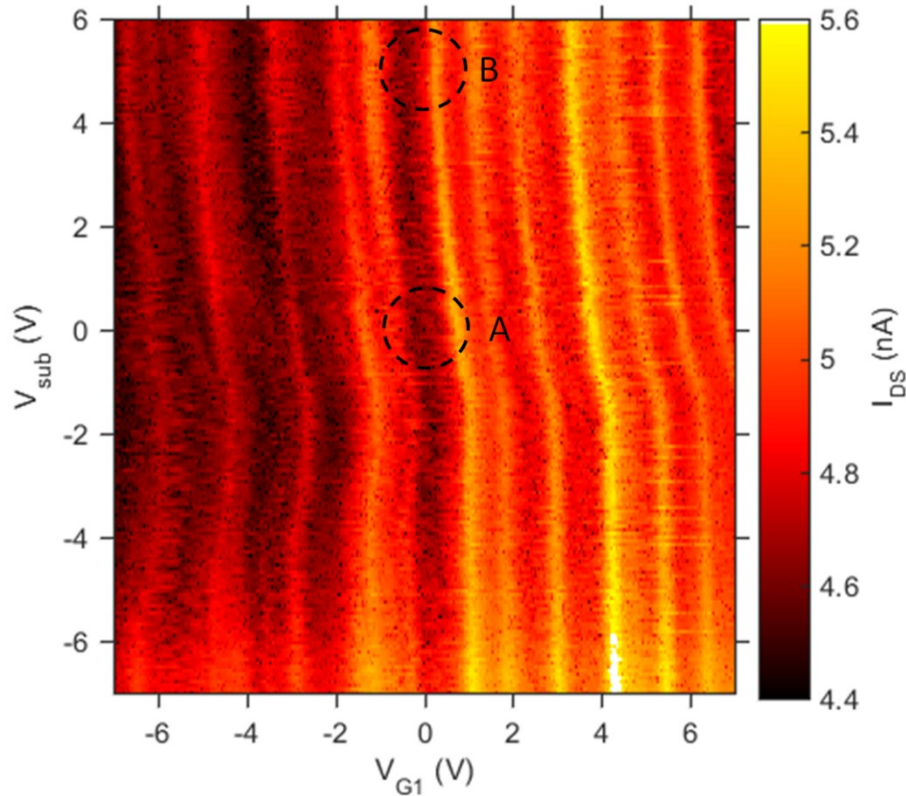


Figure 4.17 : Diagramme de stabilité du SET entre la grille latérale 1 et la grille arrière pour $V_{ds} = 1$ mV et $V_{G2} = 0$ V.

La figure 4.18 représente le diagramme de stabilité entre la grille latérale 1 et la grille latérale 2. Les lignes sont plus inclinées que dans la figure 4.17, ce qui montre un couplage plus grand avec la grille 2 qu'avec le substrat. Cependant, l'îlot reste beaucoup plus couplé à la grille 1 qu'à la grille 2, alors que le ratio de couplage simulé ne devrait être que de 2,7. La présence de capacités parasites faibles en série pourrait expliquer ce résultat. On observe aussi que la périodicité change en fonction du signe de la polarisation comme à la figure 4.17. De plus, on distingue la présence légère et aléatoire de lignes en diagonale. Un agrandissement de la partie inférieure droite de la figure 4.18 est présenté à la figure 4.19 afin de mieux les observer. Ces lignes pourraient correspondre à l'expression de pièges dans les jonctions qui seraient couplés à la grille 1 et la grille 2. Aucune zone sans bruit ou pièges n'est encore présente sur le diagramme, ce qui empêche la mesure de diamants de Coulomb bien définis. Des mesures à plus basse température (50 mK) pourraient minimiser l'effet des pièges et permettre d'observer plus clairement le blocage de Coulomb.

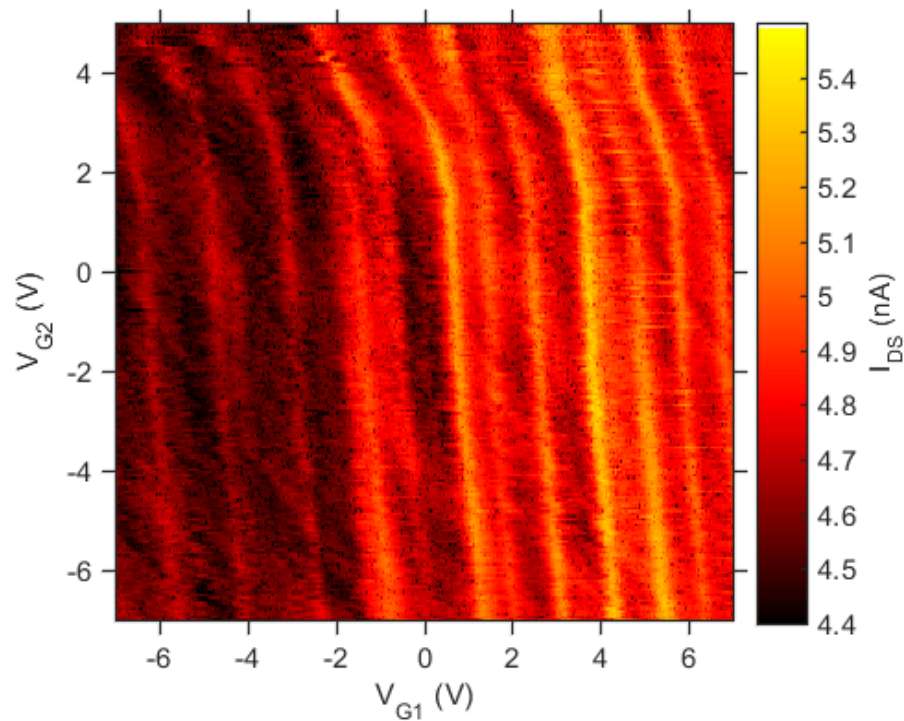


Figure 4.18 : Diagramme de stabilité du SET entre les deux grilles latérales pour $V_{ds} = 1$ mV et $V_{sub} = 0$ V.

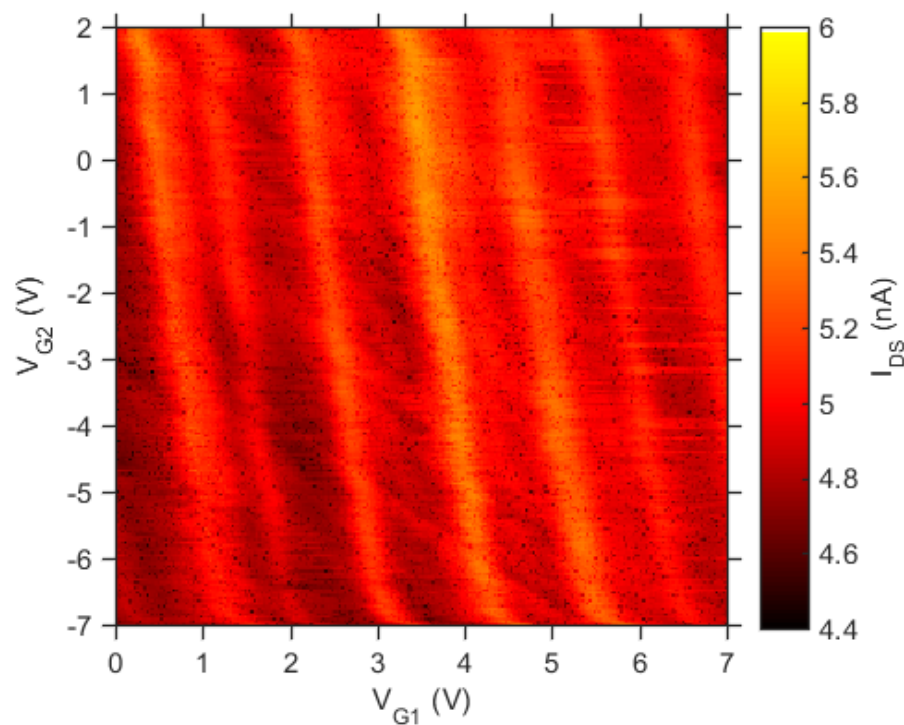


Figure 4.19 : Agrandissement d'une zone du diagramme de stabilité du SET entre les deux grilles latérales pour $V_{ds} = 1$ mV et $V_{sub} = 0$ V.

4.5 Conclusion

Le procédé *nanodamascène* inverse a été utilisé pour la fabrication de nanofils, de jonctions MIM et de SET métalliques sur une couche de SiO_2 .

La mesure de résistances électriques des nanofils de TiN a permis de déterminer l'épaisseur de TiN restante dans le canal de conduction et de contrôler ainsi l'amincissement des nanodispositifs. Les caractérisations électriques de MIM ont permis de montrer la présence de défauts dans l' Al_2O_3 . À haute température, la conduction se fait principalement par les pièges. À basse température, les pièges sont figés et une conduction Fowler-Nordheim apparaît, ce qui suggère la présence d'une nouvelle barrière de TiO_x . La symétrie de la caractéristique I-V des MIM a montré de nouveau l'absence d'une couche isolante déposée durant la gravure de TiN. L'étape de gravure du TiN est donc adaptée à la fabrication de SET. Après la passivation des MIM avec du Si_3N_4 , les mesures I-V de ces dispositifs ont montré une très bonne stabilité électrique dans le temps. On peut en déduire que les SET présenteront aussi la même stabilité. Un SET utilisant le couple TiN/ Al_2O_3 a été caractérisé à 1,5 K et a présenté des oscillations de Coulomb, démontrant ainsi le fonctionnement du SET. Cependant, les valeurs des capacités de grille extraites des courbes $I_{ds}-V_{gs}$ ne concordent pas avec les valeurs simulées, probablement à cause de capacités parasites additionnelles. De plus, les diagrammes de stabilité du courant en fonction de la polarisation des grilles environnantes ont montré des mesures bruitées à cause des pièges présents autour de l'îlot.

Dans le prochain chapitre, les développements de fabrication et les caractérisations électriques rattachés à l'intégration de SET sur un substrat CMOS et à l'interconnexion des deux technologies vont être présentés.

CHAPITRE 5 Intégration 3D de nanodispositifs sur substrat CMOS

Dans le chapitre précédent, le procédé de fabrication de SET a été développé et réalisé sur silicium tout en conservant une compatibilité avec la technologie CMOS. Il faut maintenant transférer ce procédé de fabrication dans un procédé d'intégration 3D monolithique dans le BEOL d'une puce CMOS. Dans le présent chapitre, les travaux liés au développement d'un procédé d'intégration de dispositifs alignés sur un substrat CMOS et d'un procédé d'interconnexions pour réaliser des circuits 3D vont être présentés.

5.1 Présentation du substrat CMOS

Les tranches 300 mm CMOS qui sont fournies par STMicroelectronics sont amincies et découpées au C2MI à Bromont. La figure 5.1 présente la découpe d'échantillons qui est choisie pour le développement du procédé d'intégration. L'échantillon de 51 x 40 mm² contient huit zones de transistors. Les SET doivent être fabriqués au-dessus des zones de transistors afin d'obtenir les chemins d'interconnexion les plus courts possible. Cinq zones sont alors sélectionnées et identifiées : LOD1, MG01g, LOD2, MG02 et MG01d. Les trois autres zones ne sont pas idéales pour l'étape de CMP, car elles sont soit trop proches d'un bord d'échantillon ou trop près d'une autre zone choisie.

Chaque zone de transistors contient une région inférieure de transistors PMOS et une région supérieure de transistors NMOS. Le nombre total de transistors et la dimension des transistors sont différents pour chaque zone. La largeur d'une zone est définie par une ligne de huit transistors qui est illustrée sur la figure 5.2. Chaque transistor possède sa propre grille et son propre drain, et la source est partagée par couple de transistors. Les grilles, les drains et les sources sont chacun connectés à un plot de cuivre numéroté de 1 à 20. L'image SEM de la figure 5.3 montre une partie d'une zone de transistors avec les différents plots de chaque élément du transistor. Ces plots vont permettre de mesurer les transistors, de faire des alignements pour l'intégration des SET et de faciliter l'alignement des vias.

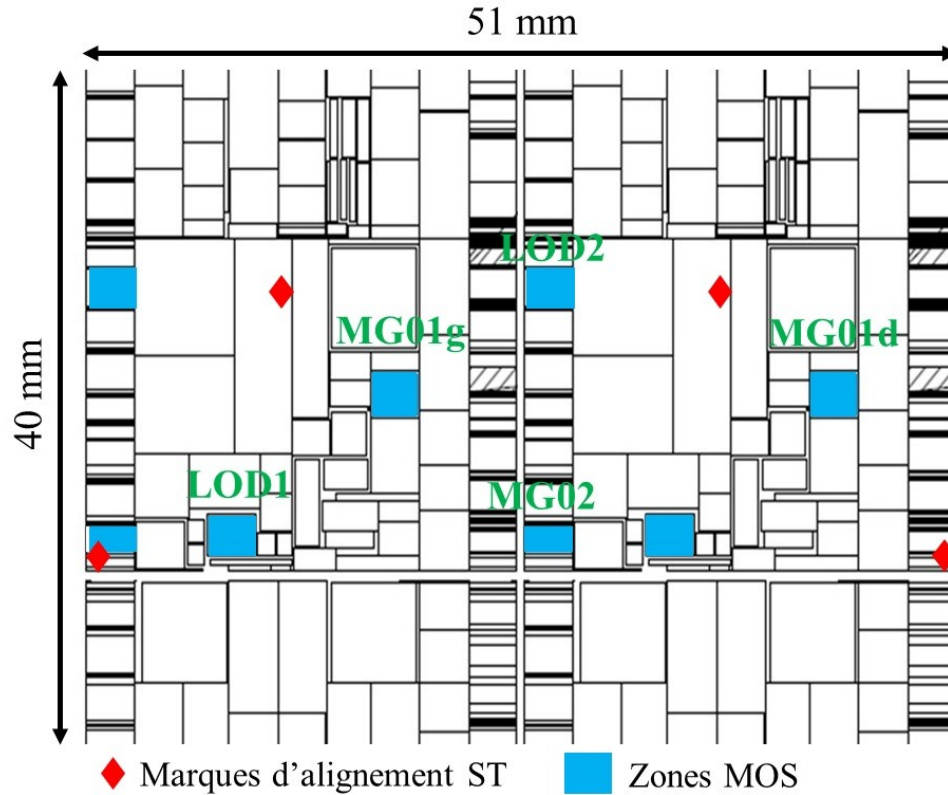


Figure 5.1 : Schéma d'un échantillon CMOS avec l'emplacement des zones de transistors MOS

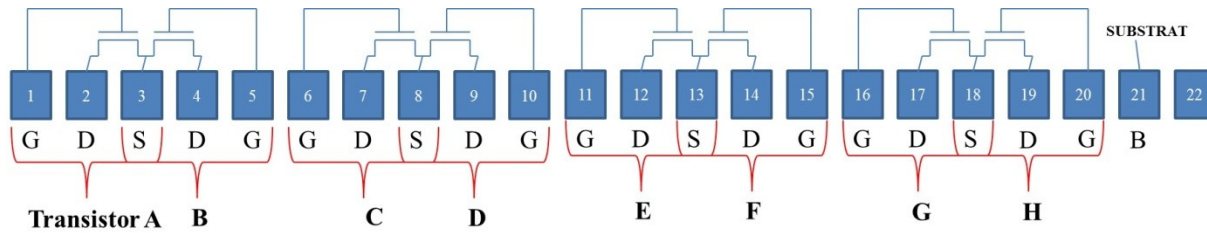


Figure 5.2 : Illustration d'une ligne de transistors MOS avec la définition de chaque plot. G = Grille, D = Drain, S = Source, B = substrat.

La figure 5.4 présente une vue en coupe du substrat CMOS avec les dimensions de chaque couche et leur emplacement relatif. Trois couches de diélectrique sont empilées par-dessus le niveau de métal 1 : TEOS, SiOCH, et SiCN. L'empilement de ces trois couches mesure 375 nm d'épaisseur et sera gravé pour la fabrication de vias. Le TEOS¹ (*TetraEthyl OrthoSilicate*) est en fait du SiO₂ déposé par PECVD. Il se grave donc de la même façon que

¹ Le mot TEOS Si(OC₂H₅)₄ est le nom du gaz précurseur utilisé pour la déposition et est couramment utilisé à la place du terme "SiO₂" pour se différencier du dépôt à base de SiH₄.

l'oxyde de silicium thermique et les nanodispositifs seront directement fabriqués sur cette couche.

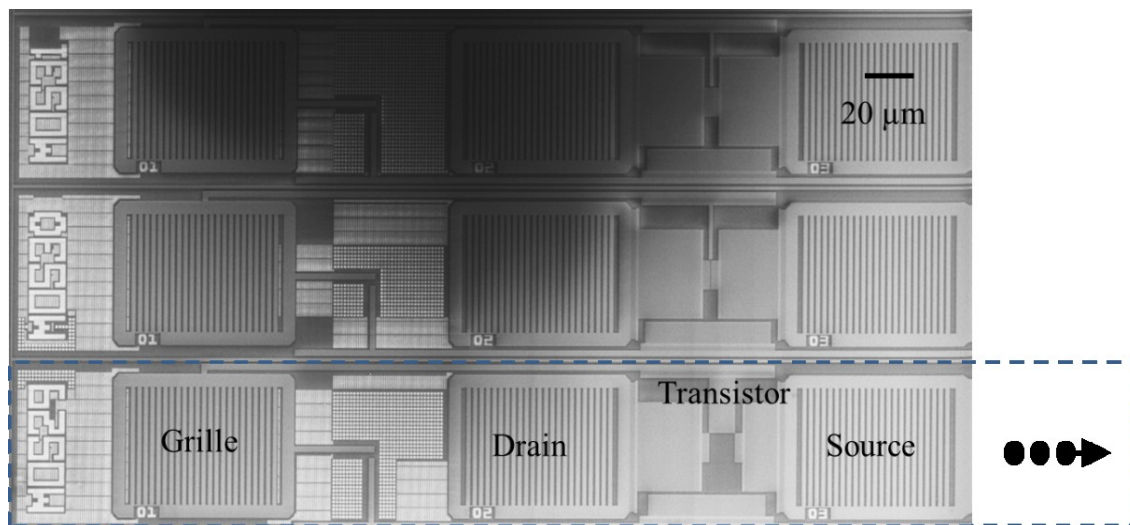


Figure 5.3 : Image SEM de la partie inférieure gauche d'une zone de transistors MOS. L'encadré bleu représente une ligne de transistors.

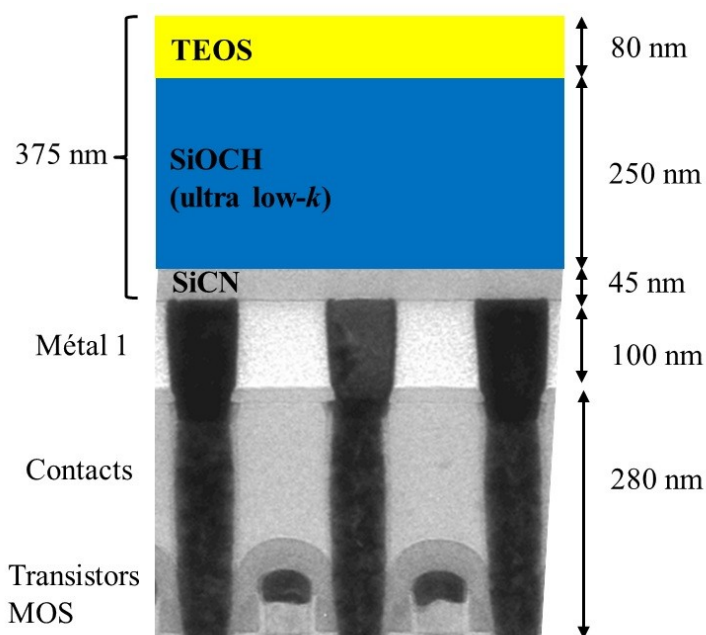


Figure 5.4 : Vue en coupe des différentes couches du substrat CMOS utilisé (coupe TEM réalisée par STMicroelectronics).

5.2 Procédé d'intégration de nanodispositifs

Les différentes étapes du procédé *nanodamascène* inverse pour fabriquer les nanodispositifs sont reprises dans le procédé d'intégration sans être fondamentalement changées. Les travaux portent principalement sur les motifs réalisés, la méthode d'alignement des étapes de photolithographie et d'électrolithographie, et l'étape de polissage. Dans ce procédé, les échantillons sont découpés en $1 \times 1 \text{ cm}^2$ après l'étape d'EBL1.

5.2.1 Photolithographie

Pour l'étape de l'UV1, plusieurs versions d'un photomasque aligné sur le substrat CMOS sont développées afin d'améliorer le polissage des échantillons. La figure 5.5 présente la dernière version optimisée de ce photomasque. Ce dernier possède des marques d'alignement ST, des croix de découpe, et cinq grandes cellules UV correspondant chacune à une zone de transistors MOS. Les cinq grandes cellules devront être découpées à la scie en échantillons de $1 \times 1 \text{ cm}^2$ avant l'étape de CMP, car c'est la taille imposée par la tête de polissage. La figure 5.6a représente une des grandes cellules. La sous-cellule principale où sont fabriqués les nanodispositifs se trouve environ au centre de l'échantillon pour avoir un meilleur polissage, et juste au-dessus de la zone de transistors MOS pour avoir des interconnexions courtes. Les autres structures autour servent principalement de marques d'alignement, de structures tests pour la CMP et de repères. Dans l'encadré rouge, il y a plusieurs cellules unitaires qui sont définies comme sur la figure 5.6b. Dans cette cellule, dix plots de contact de $70 \mu\text{m} \times 50 \mu\text{m}$ et des chemins de connexion sont présents pour pouvoir caractériser au maximum quatre nanodispositifs fabriqués dans la zone centrale. Le résultat après développement de la résine est montré à la figure 5.7. La figure 5.7a montre les marques d'alignement du photomasque alignées avec la marque d'alignement ST. Les désalignements mesurés ne dépassent pas $2 \mu\text{m}$. La figure 5.7b est une image optique du centre de la cellule unitaire qui montre la superposition de l'UV1 avec les motifs du CMOS.

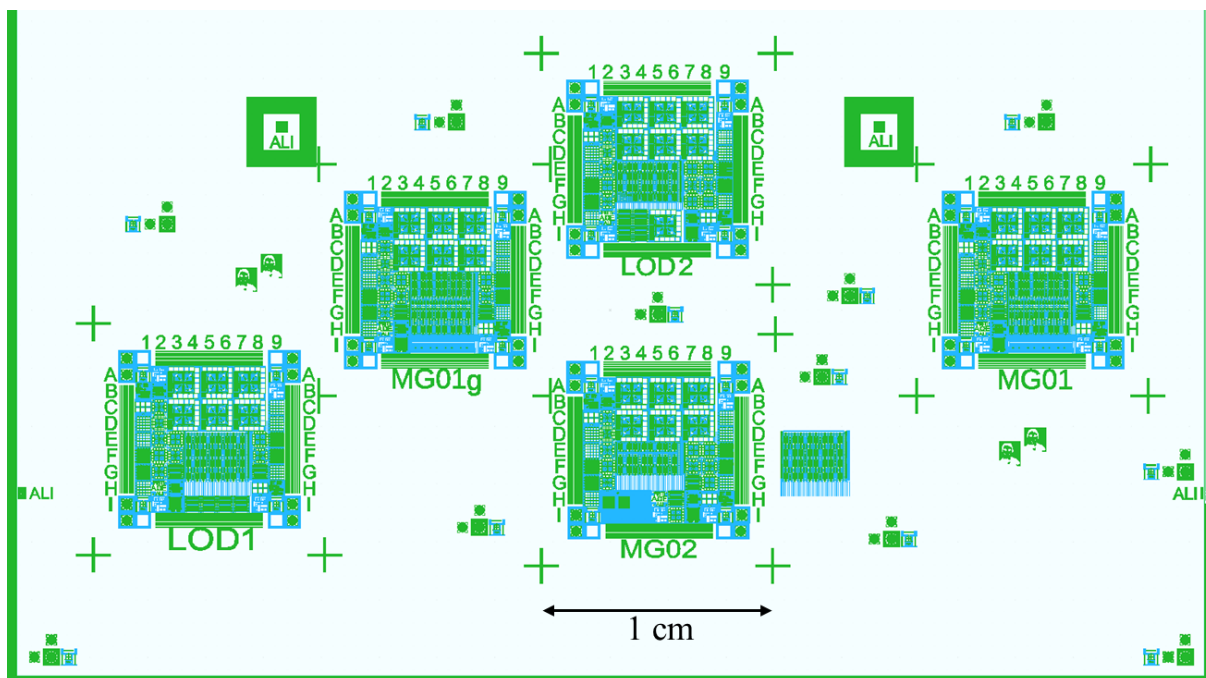


Figure 5.5 : Photomasque pour réaliser l'UV1 sur les échantillons CMOS.

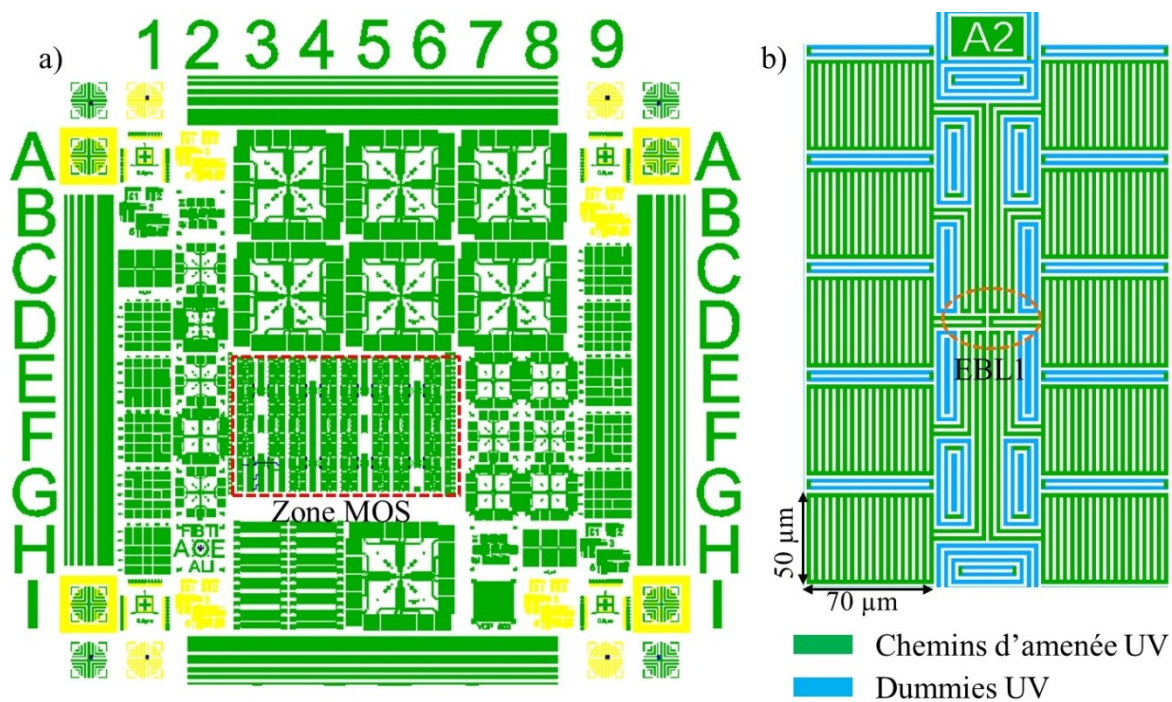


Figure 5.6 : a) Agrandissement d'une des cinq grandes cellules UV. L'encadré rouge représente l'emplacement des transistors MOS. b) Cellule unitaire avec au centre la zone des nanodispositifs.

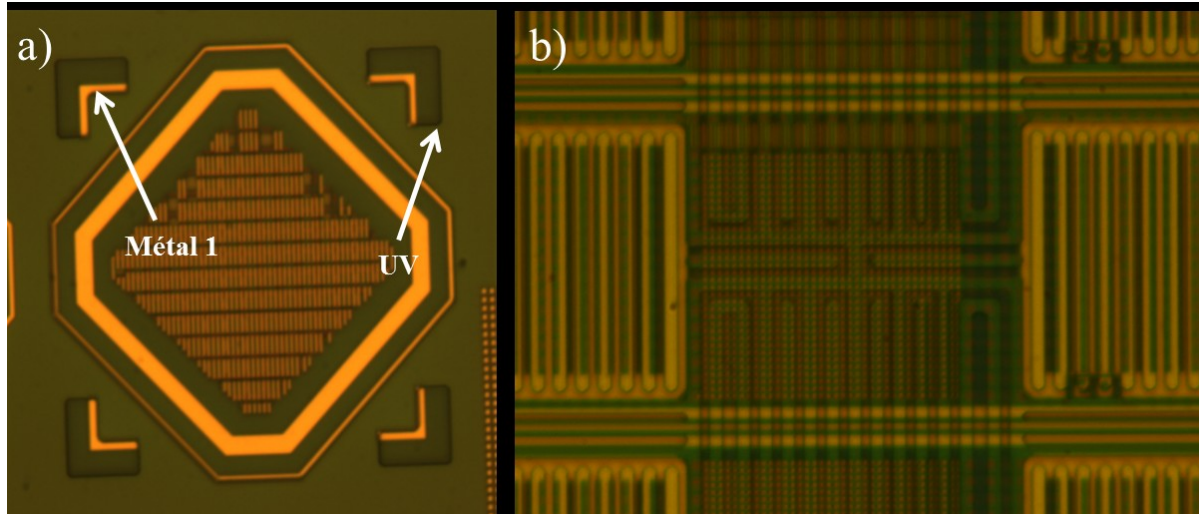


Figure 5.7 : Image optique d'un échantillon après l'étape de photolithographie : a) Marque d'alignement ST, b) centre de la cellule unitaire.

5.2.2 Électrolithographie

Chacune des zones de transistors MOS est repérée par des coordonnées (x, y) afin de pouvoir se positionner pour effectuer l'EBL1. Un nouveau procédé d'alignement a été développé pour cette étape. L'alignement EBL1 ne se fait plus avec des motifs UV1, mais avec des motifs de cuivre du substrat CMOS. Avant de faire l'EBL1, la mesure du désalignement de l'UV1 par rapport aux marques ST est donc obligatoire pour ne pas cumuler les erreurs d'alignement. Cette mesure se fait avec un microscope électronique pour chaque zone de transistors et le désalignement est pris en compte dans l'écriture des nanostructures. Quatre niveaux d'alignement sont utilisés lors de l'EBL1 comme on peut le voir à la figure 5.8. Les marques d'alignement utilisées sont des bords de plots de cuivre de transistors MOS. Aux quatre coins de la figure se trouvent les fenêtres de balayage du deuxième niveau d'alignement avec le logiciel NPGS (*Nanometer Pattern Generation System*). On reconnaît très bien les motifs de cuivre. Contrairement à un alignement utilisant le relief de structures dans l'oxyde comme marques d'alignement, le fait d'utiliser des marques métalliques rend l'alignement facile et rapide. Le même procédé d'alignement est utilisé lors de l'EBL2.

Les motifs d'EBL1 sont modifiés pour être adaptés aux nouvelles structures UV et sont présentés à la figure 5.9. Les figure 5.9a-b-c montrent la géométrie créée pour un nanofil, une jonction MIM et un SET respectivement. La figure 5.9d introduit une nouvelle structure qui

possède un canal de conduction plus large et plusieurs îlots à l'intérieur. Cette structure est fabriquée afin de pouvoir faire une coupe TEM et des analyses chimiques pour obtenir plus d'informations sur le canal du SET. Sur la figure 5.10a, on peut voir le centre d'une cellule unitaire après la gravure de l'EBL1. Les effets d'ombrage sur la figure sont dus aux motifs CMOS sous les couches diélectriques. On constate sur l'agrandissement de la figure 5.10b qu'il est possible d'obtenir une erreur d'alignement inférieure à 100 nm.

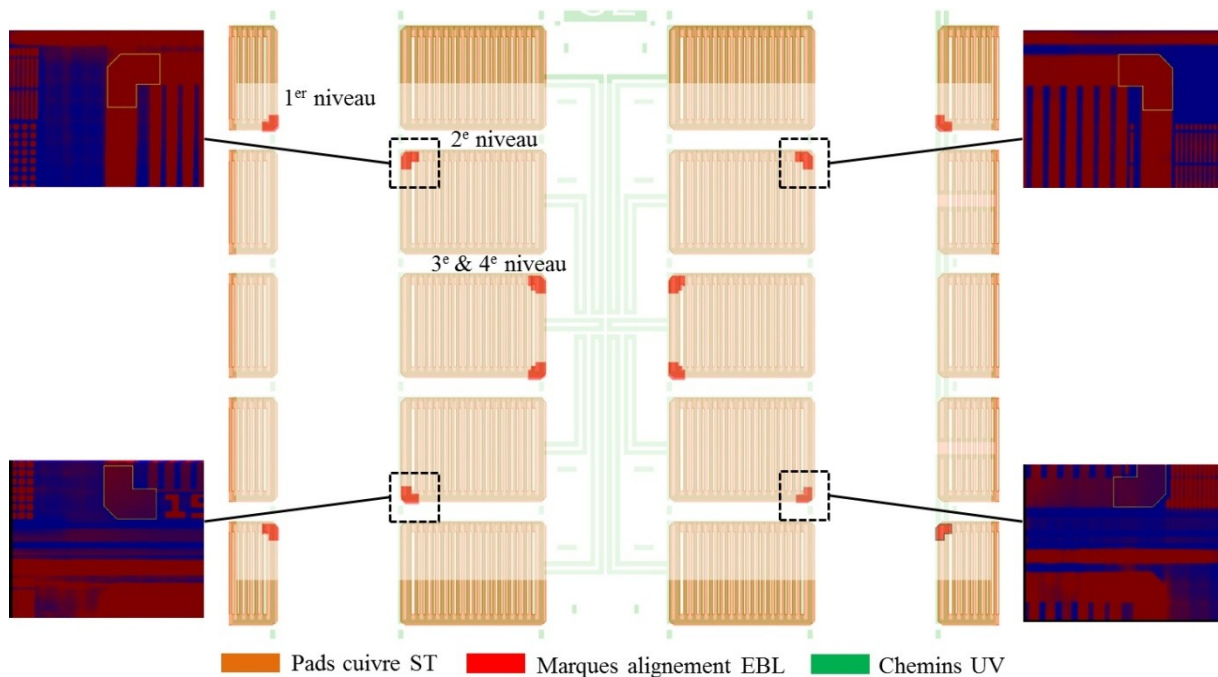
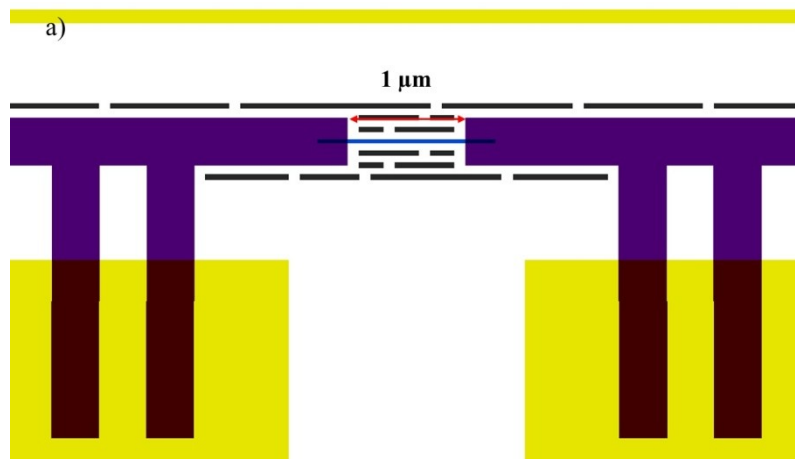


Figure 5.8 : Emplacement des marques d'alignement EBL par rapport à l'UV1 et aux plots de cuivre. Les images des encadrés noirs sont les fenêtres d'alignement après balayage.



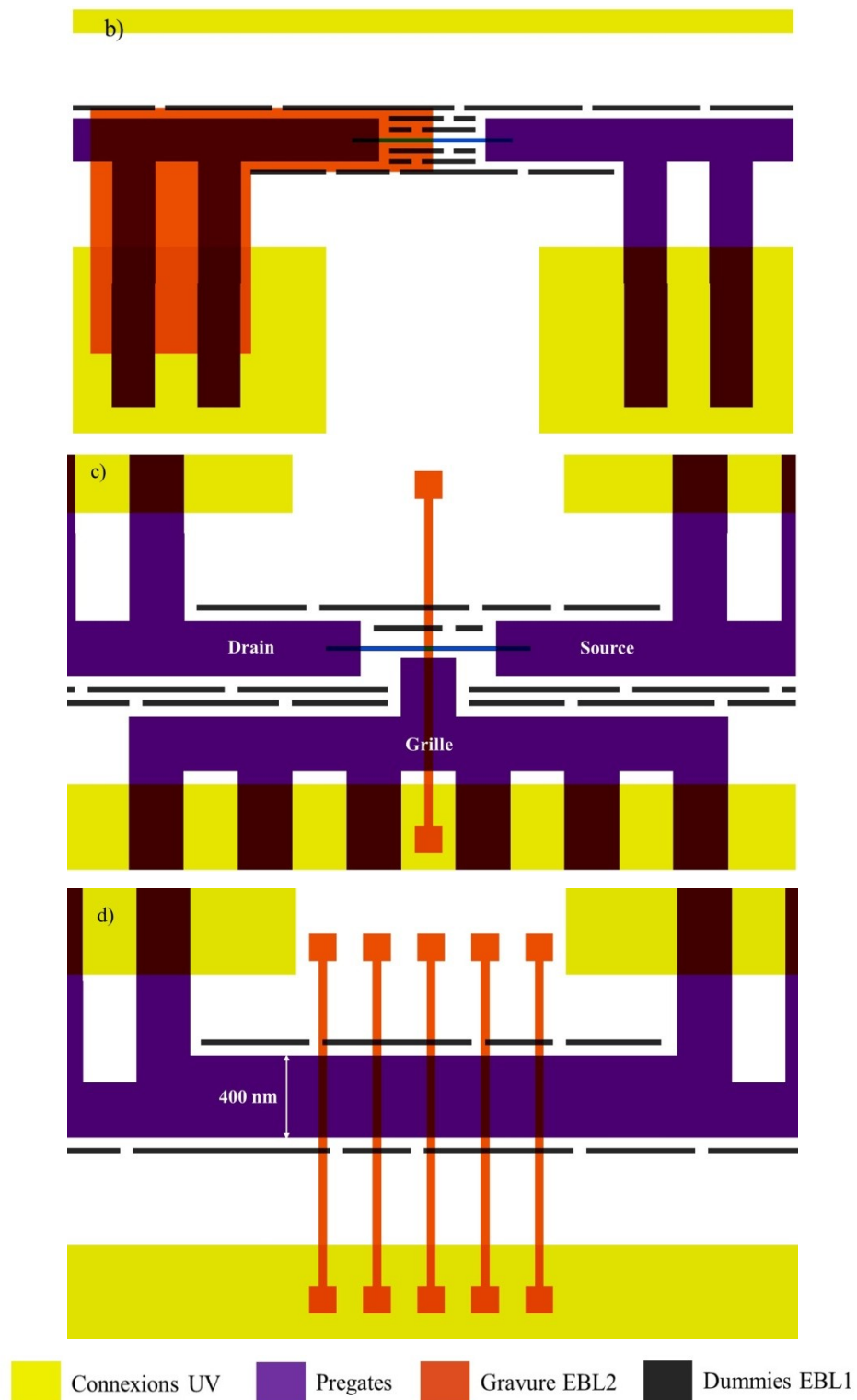


Figure 5.9 : Géométrie des nanodispositifs fabriqués lors de l'EBL1. a) Nanofil, b) jonction MIM, c) SET, d) structure pour coupe TEM.

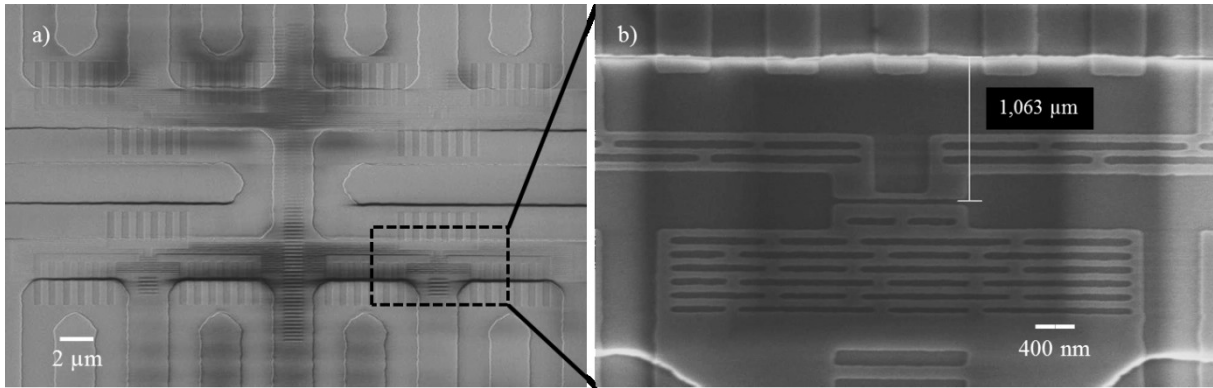


Figure 5.10 : a) Image SEM après gravure de l'EBL1 des nanodispositifs. b) Agrandissement sur une structure SET.

5.2.3 Polissage CMP

Le transfert du procédé sur un substrat CMOS a été plus critique pour l'étape de polissage. Premièrement, la surface du TEOS du substrat CMOS présente un relief dû aux motifs de cuivre sous les couches de diélectrique. La figure 5.11 présente la topologie d'une surface choisie au hasard et le profil de rugosité le long de la ligne 1. On remarque une différence maximale de hauteur de 5 nm environ. Ce relief peut être observé pendant le polissage de dispositifs comme le montre la figure 5.12. Les solutions ont été de sélectionner des régions où le relief est moindre pour faire l'EBL1, et d'avoir une densité de dummies UV la plus grande et homogène possible. On voit sur la figure 5.12 que les motifs de cuivre apparaissent principalement dans les zones où la densité est la plus faible.

Ensuite, le polissage de dispositifs sur CMOS a révélé un problème d'arrachement de matériaux. Après 1 min de polissage d'un échantillon ayant subi le procédé *nanodamascène* inverse jusqu'à la dernière couche de TiN épaisse, un arrachement de la surface par plaque est observé optiquement (figure 5.13a). La figure 5.13b est un agrandissement de la surface avec un SEM. On observe des surfaces de TiN avec les motifs UV, la couche de SiOCH et des trous atteignant le cuivre. Le temps total de polissage sur silicium pour arriver jusqu'à T_0 est normalement d'environ 4 min. On a donc un arrachement en début de polissage de l'échantillon. Les différentes hypothèses émises pour expliquer ce problème sont présentées dans le tableau 5.1.

La première hypothèse est le décollement immédiat des couches métalliques de la surface lors des premières secondes de CMP à cause d'une mauvaise adhésion du TiN sur le TEOS. On polirait alors directement le TEOS pendant 1 min. La vitesse de polissage du TEOS est de 45 nm/min. Sachant que son épaisseur est de 80 nm, cette hypothèse n'est donc pas valide, car il n'est pas possible d'arriver jusqu'au SiOCH ou encore moins au cuivre en 1 min.

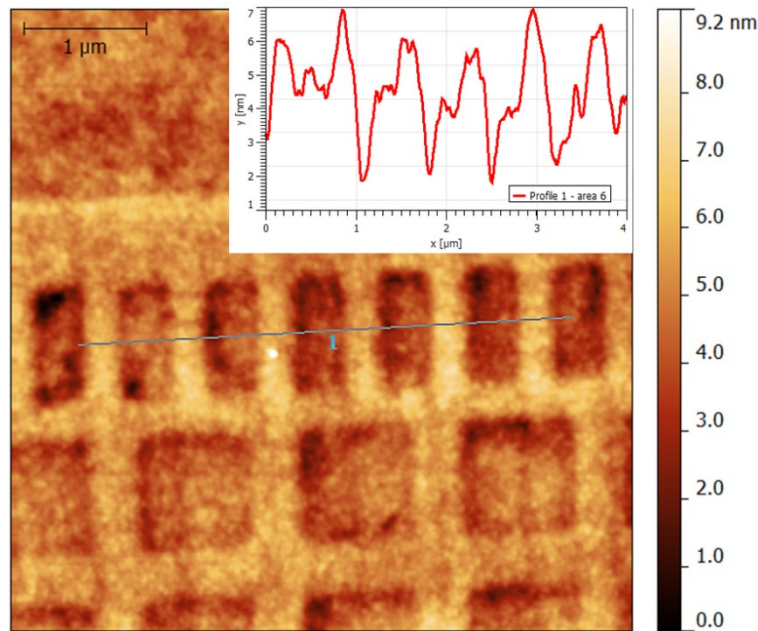


Figure 5.11 : Image AFM de la surface du substrat CMOS. Dans l'encart, le profil de rugosité le long de la ligne.

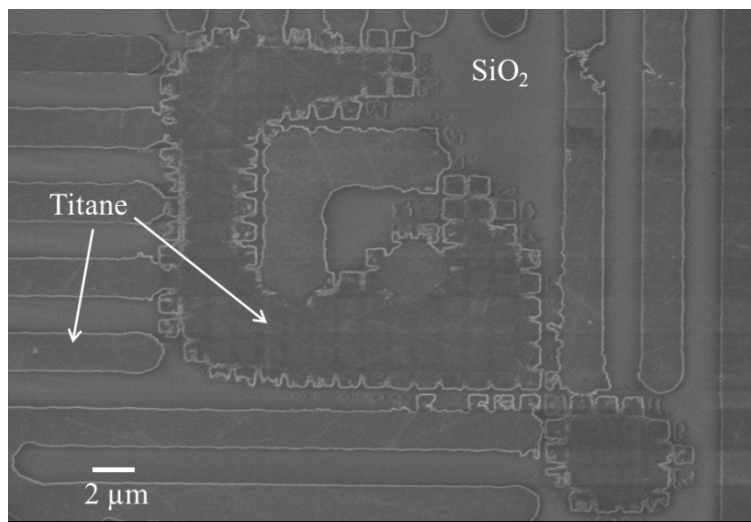


Figure 5.12 : Image SEM d'un échantillon avec des nanodispositifs en cours de polissage.

Tableau 5.1 : Hypothèses pour le problème d'arrachement lors du polissage CMP sur CMOS.

Sources possibles
1. Adhésion des couches de TiN
2. Gravure chimique du substrat par le slurry
3. Contraintes dans le TiN
4. Infiltration du slurry dans l'ULK + réaction chimique avec l'ULK + forces mécaniques du polissage CMP

La deuxième hypothèse est la gravure chimique pure des couches diélectriques par le slurry CX. Un échantillon CMOS est immergé dans du CX pendant 5 min à une température de 70 °C. Le CX est chauffé pendant la gravure pour simuler l'échauffement local dû aux frottements de surface durant le polissage CMP. Aucune gravure micro ou nanométrique de la surface n'est observée. Le problème n'est donc pas dû uniquement à une gravure chimique.

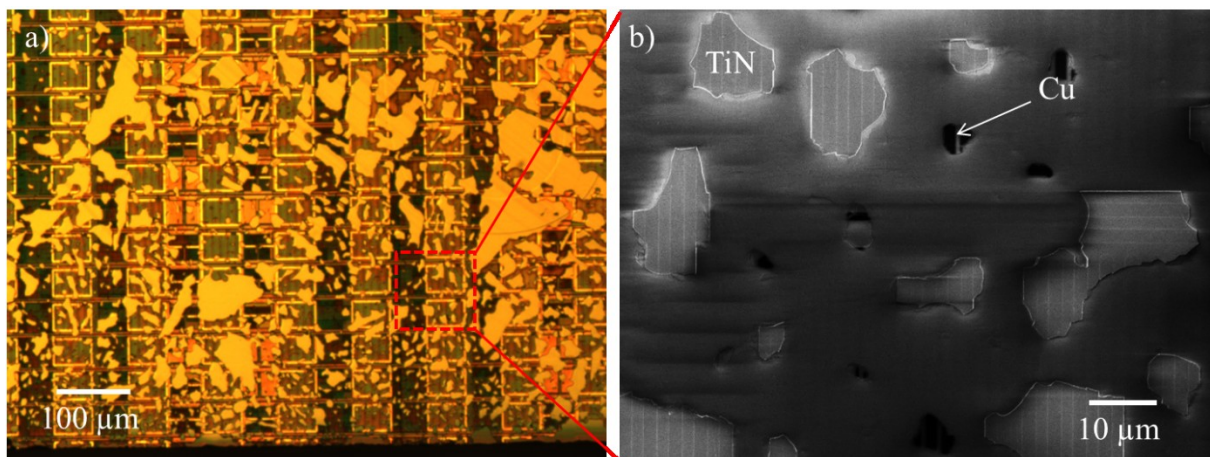


Figure 5.13 : a) Image optique d'un échantillon CMOS avec des nanodispositifs après 1 min de polissage. b) Image SEM de l'état de surface du même échantillon.

Les deux dernières hypothèses sont liées aux propriétés mécaniques de la couche de SiOCH ou ULK. Le SiO₂ a été remplacé par le SiOCH, car l'ajout de liaisons Si-CH₃ permet de diminuer la constante diélectrique des diélectriques inter-couche (ILD). Le SiOCH de ce

substrat possède une constante diélectrique k de 2,5 et une porosité de 27 %. La porosité permet de diminuer la constante diélectrique et est créée à l'aide d'un polymère organique qui est introduit dans la matrice de SiOCH lors de la déposition et est enlevé ultérieurement par un recuit sous UV. Dans la littérature, la stabilité mécanique de ces couches poreuses a été étudiée et des problèmes de fissures ont déjà été observés (Volinsky et al. 2003). On a alors décidé d'étudier les sources possibles qui pourraient causer une défaillance mécanique de la couche de SiOCH lors du polissage.

Pour vérifier l'hypothèse 3, des mesures de contraintes sont faites dans des couches minces de Ti et TiN à l'aide d'un profilomètre. Les épaisseurs des couches déposées sont celles qui sont utilisées dans le procédé *nanodamascène* standard et inverse. Les contraintes résiduelles sont calculées à partir du rayon de courbure de gaufre et sont présentées dans le tableau 5.2. Les détails de la méthodologie sur les mesures de contraintes sont présentés dans l'Annexe B. On constate que les contraintes résiduelles dans le TiN ne sont pas significativement plus élevées que celles dans le Ti pour les conditions étudiées. Dans les travaux de (Jouvet 2012), le polissage de Ti sur CMOS n'avait pas présenté de problèmes d'arrachement. Il est donc difficile de dire si les contraintes sont la raison principale de l'arrachement du SiOCH. On peut remarquer que la contrainte compressive dans la couche de 25 nm de TiN est environ quatre fois plus grande que celle dans la couche de 80 nm. Cette augmentation de contraintes avec la diminution de l'épaisseur de TiN a déjà été observée par (Machunze & Janssen 2009), et peut provenir de l'orientation cristalline, de la taille des grains, et de la présence de défauts.

Tableau 5.2 : Contraintes résiduelles dans des couches minces de TiN et de Ti.

	TiN 25 nm	TiN 80 nm	Ti 25 nm	Ti 150 nm
Contraintes résiduelles (MPa)	-920	-200	-500	-400

La dernière hypothèse émise est une combinaison de trois facteurs : l'infiltration du slurry, la réaction chimique entre le slurry et l'ULK, et les forces mécaniques dues au polissage. L'échantillon étant découpé d'une tranche CMOS de 300 mm, les couches

diélectriques du bord de l'échantillon sont exposées à l'environnement. Il pourrait donc y avoir lors du polissage une infiltration du slurry à travers l'ULK poreux avec une réaction chimique qui fragiliserait cette couche. L'arrachement arriverait ensuite à cause des forces mécaniques exercées par la tête de polissage. Pour valider cette hypothèse, deux substrats CMOS vierges sont polis pendant 1 min avec du slurry CX et du slurry Allied respectivement. Ensuite, sur un troisième substrat vierge, on dépose par pulvérisation sur la face arrière une couche de SiO_2 qui va servir de couche protectrice pour les bords de puces. Cet échantillon est aussi poli pendant 1 min avec du slurry CX. Les conditions de polissage sont les mêmes dans les trois cas. Des informations additionnelles sur l'encapsulation se trouvent dans l'Annexe B.

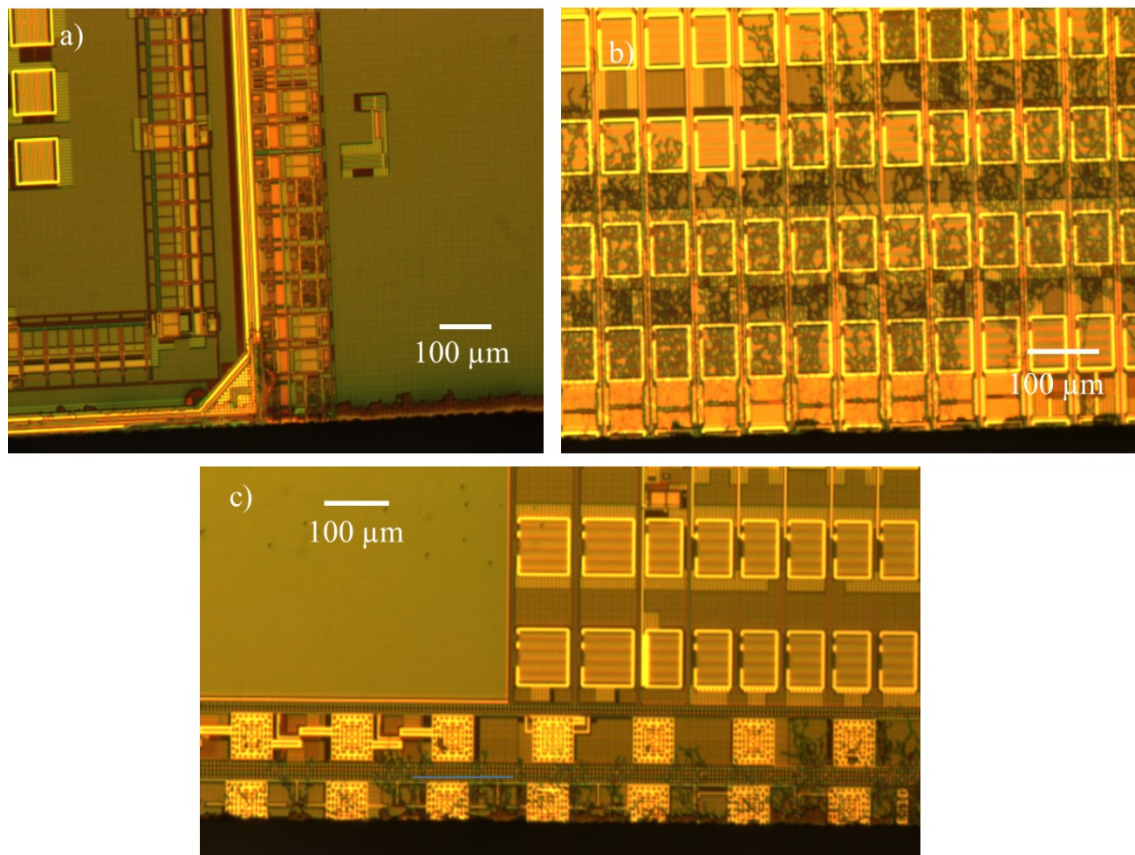


Figure 5.14 : Image optique après 1 min de polissage avec a) le slurry Allied, b) le slurry CX, et c) le slurry CX et avec les bords protégés.

Le premier échantillon poli avec du slurry Allied ne présente aucun arrachement à sa surface (figure 5.14a). Par contre, le deuxième échantillon sans protection qui est poli avec du slurry CX présente beaucoup de craques qui semblent partir du bord de l'échantillon et se

propager vers le centre (figure 5.14b). La réaction chimique de l'ULK avec le slurry Allied et le CX n'est donc pas la même. La figure 5.14c montre le troisième échantillon dont les bords sont protégés par une couche de SiO_2 après polissage. La densité de craques est vraiment plus faible que sur l'échantillon sans protection. Les craques présentes semblent partir des défauts des bords qui n'ont pas pu être protégés. Ces résultats mettent bien en évidence un problème d'infiltration du slurry CX par les bords d'échantillon et de la réaction de ce slurry avec l'ULK. Ce problème est résolu en grande partie par la déposition d'une couche protectrice sur les bords des échantillons.

5.3 Procédé d'interconnexion

La partie suivante s'intéresse au développement du procédé d'interconnexion, c'est-à-dire à la fabrication et la caractérisation de vias, et à la caractérisation des transistors MOS.

5.3.1 Fabrication de vias

Pour fabriquer les vias, un procédé de gravure pour graver les trois couches de diélectriques a été développé. Le masque utilisé pour la gravure est la photorésine S1805 mesurant 480 nm d'épais. Ce procédé est divisé en deux étapes de gravure : la gravure principale et la gravure finale. La gravure principale se fait dans le système de gravure AOE qui a déjà été présenté dans le chapitre 3. Durant cette étape, le TEOS est gravé complètement et le SiOCH est gravé presque en totalité comme le montre la figure 5.15a. On s'arrête juste avant la couche de SiCN par précaution, car l'exposition du cuivre au plasma n'est pas permise pour des raisons de contamination dans ce réacteur. Ensuite, la gravure finale est effectuée dans un réacteur CCP (RIE), où l'exposition du cuivre au plasma est acceptée. Cette étape permet de graver la fin du SiOCH et le SiCN pour arriver jusqu'au cuivre du métal 1 (figure 5.15b).

5.3.2 Gravure principale

Les conditions de gravure pour la gravure principale sont présentées dans le tableau 5.3 et sont les mêmes que pour la gravure classique de SiO_2 à angle droit (Guilmain et al. 2011). Les mécanismes de gravure du SiOCH et du SiO_2 sont similaires (Posseme et al. 2015). Les

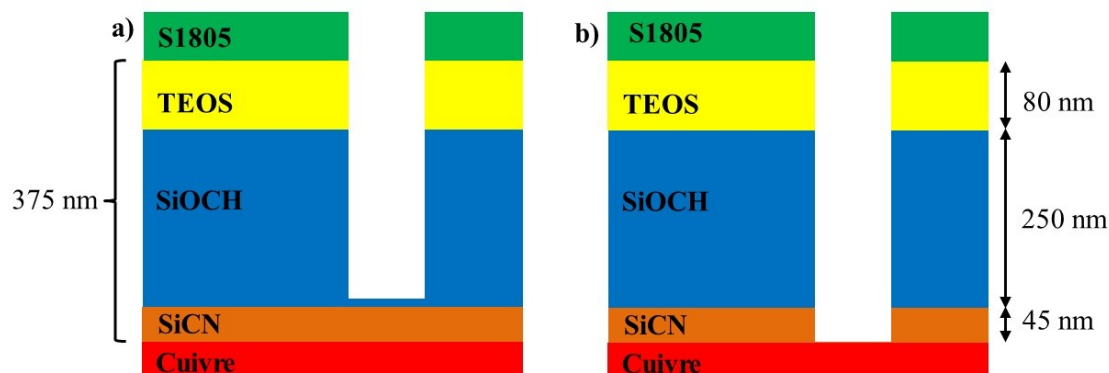


Figure 5.15 : a) Gravure principale à l'AOE. b) Gravure finale au RIE.

Tableau 5.3: Conditions de gravure dans l’AOE et les vitesses de gravure associées du TEOS, du SiOCH et de la S1805.

Paramètres	
Flux CF ₄	12 sccm
Flux H ₂	14 sccm
Flux He	140 sccm
Puissance bobine	100 W
Puissance plateau	50 W
Pression	4 mTorr
Température plateau	-20 °C
Vitesse de gravure TEOS	66 nm/min
Vitesse de gravure SiOCH	112 nm/min
Vitesse de gravure S1805	52 nm/min

épaisseurs des couches déposées de TEOS, de SiOCH et de S1805 sont mesurées avant et après gravure par ellipsométrie afin de déterminer leur vitesse de gravure. Celles du TEOS, du SiOCH et de la S1805 sont respectivement de 66 nm/min, 112 nm/min et 52 nm/min. La gravure du SiOCH est très rapide par rapport à celle du TEOS à cause de sa porosité. Ensuite, une photolithographie est effectuée sur trois échantillons CMOS pour pouvoir définir des

motifs. Ces échantillons sont ensuite gravés et nettoyés aux solvants. Le temps de gravure est différent pour les trois échantillons et la profondeur de gravure est mesurée par profilométrie pour chaque échantillon. Un plasma d'oxygène est effectué juste avant la gravure pour enlever les résidus de résine au fond des motifs. La figure 5.16 présente ces profondeurs de gravure en fonction du temps de gravure. On remarque l'augmentation de la vitesse de gravure juste après que la couche de TEOS ait été gravée. Le temps de gravure de la gravure principale est fixé à 3 min 35 s afin de graver environ 325 nm de diélectriques.

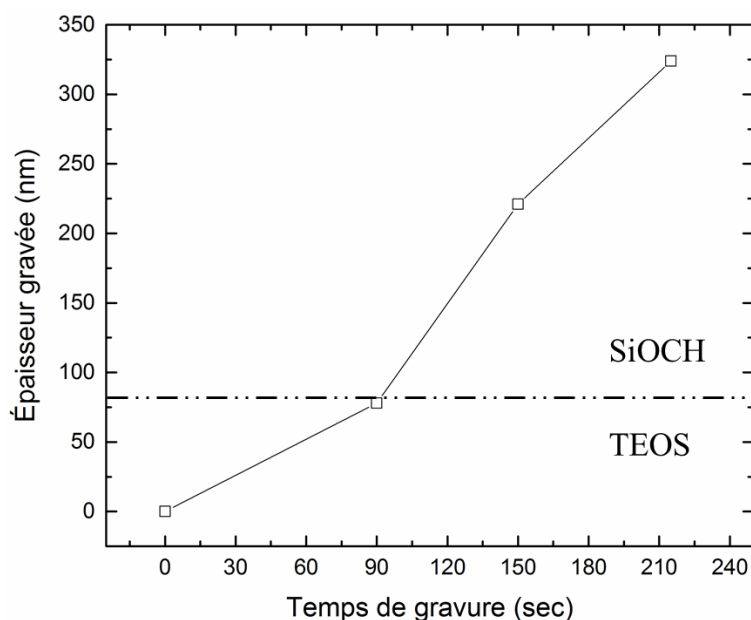


Figure 5.16 : Épaisseur gravée d'un substrat CMOS en fonction du temps de gravure avec les conditions de gravure du tableau 5.3.

5.3.3 Gravure finale

Dans le système RIE, deux paramètres sont contrôlables : la puissance de l'électrode sur laquelle est posé l'échantillon et le débit de CF_4 qui est exprimé en pourcentage du flux maximum (250 sccm^2). Pour l'étape de gravure finale, un flux de CF_4 de 88 sccm (35 %) et une puissance de plateau de 100 W sont fixés. Le SiCN se grave aussi avec un plasma fluoré (Wang et al. 1998). Les épaisseurs déposées de SiCN et de S1805 sur des échantillons sont mesurées avant et après gravure par ellipsométrie afin de déterminer les vitesses de gravure.

² Le débitmètre a été changé au cours du projet, donc le pourcentage et le temps de gravure ont eux aussi changé.

Les vitesses de gravure du SiCN et de la S1805 sont de 17 nm/min et 40 nm/min respectivement. Les échantillons qui ont subi la gravure principale sont ensuite gravés dans le RIE pour finir la gravure des vias. La figure 5.17a montre un échantillon après 2 min de gravure. On observe le relief des motifs de cuivre, mais le cuivre n'est pas encore apparent. L'ajout de 20 s de gravure permet de graver complètement la couche de SiCN et de surgraver légèrement le diélectrique du niveau M1 comme le montre la figure 5.17b. La figure 5.18 montre une image SEM où l'on peut identifier clairement les différentes couches de diélectriques et le niveau de métal 1 après la gravure du via.

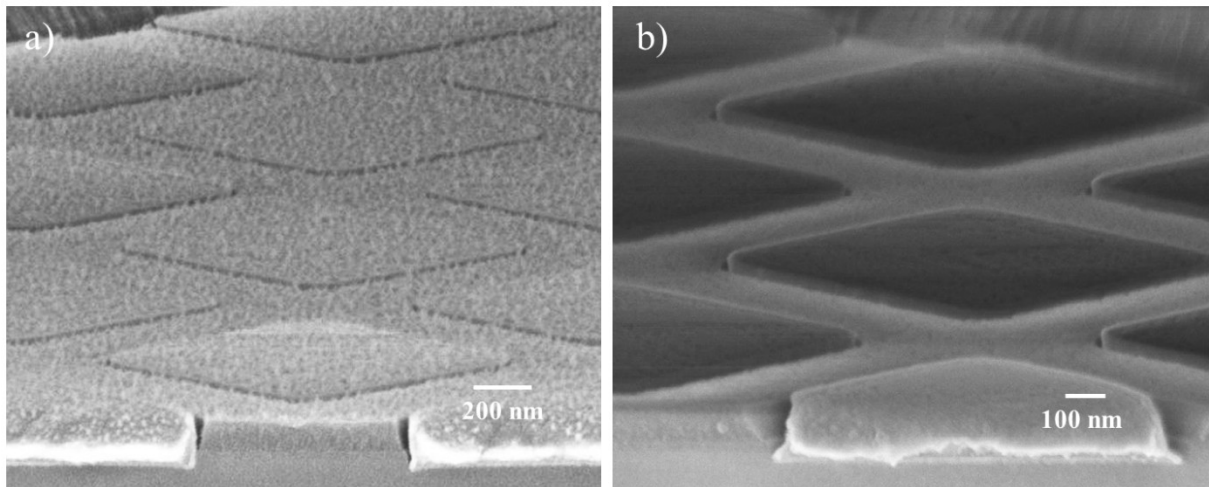


Figure 5.17 : Image SEM d'un échantillon CMOS gravé au RIE pendant
a) 2 min et b) 2 min 20 s

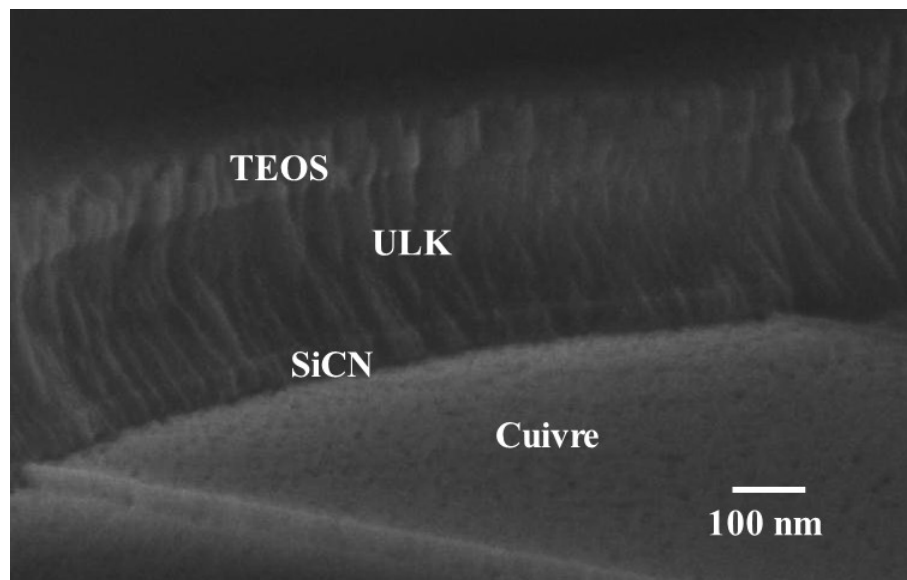


Figure 5.18 : Image SEM en coupe après la gravure d'un via.

Dans le cadre de ce projet, le procédé de gravure de via n'a pas été optimisé pour éviter de dégrader au minimum la couche de SiOCH. En effet, des études ont déjà montré que la gravure plasma pouvait augmenter la constante diélectrique de l'ULK (Posseme et al. 2015). Le bombardement ionique et la diffusion des espèces fluorées sont à l'origine de cette dégradation. La solution est de contrôler la formation d'une couche protectrice de type C_xF_y . L'exposition à un plasma d'oxygène après la gravure pour enlever le masque est aussi déconseillée, car le SiOCH deviendrait hygroscopique et sa constante diélectrique augmenterait à cause de la condensation d'eau dans les pores. La constante diélectrique est très importante dans le cas où la densité d'interconnexions est très grande, ce qui n'est pas le cas dans notre projet.

5.3.4 Désoxydation et remplissage des vias

Il a été montré par (Vilca et al. 2003) que lorsque du cuivre est exposé à un plasma fluoré, des composés CuF_x sont formés à la surface du cuivre. Une fois exposés à l'air, ces composés réagissent avec l'eau de l'air pour former du Cu_2O à la surface. Il est donc nécessaire de désoxyder la surface avant le remplissage des vias. Les échantillons sont alors immergés pendant 5 min dans une solution industrielle appelée BPS-172. Cette dernière permet de désoxyder le cuivre et de stabiliser la surface pour limiter la réoxydation. On observe sur la figure 5.19 que cette solution peut aussi nettoyer les résidus présents à la surface du cuivre.

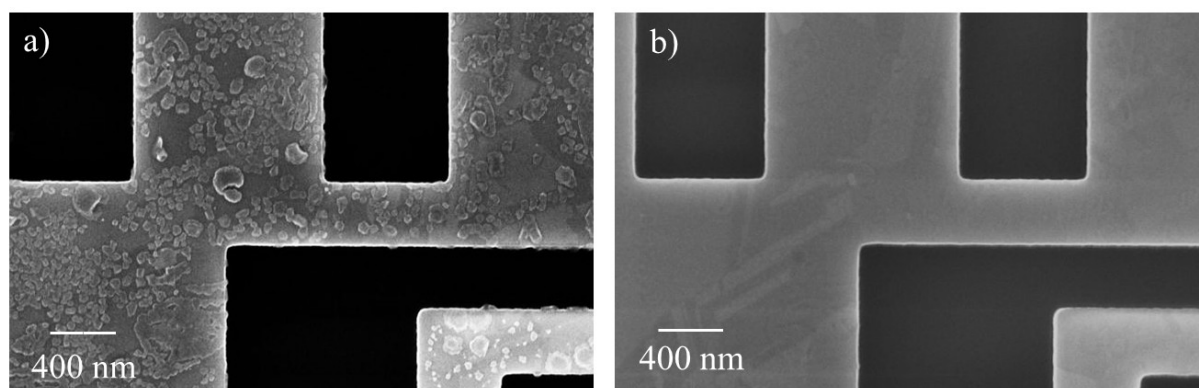


Figure 5.19 : Image SEM d'une surface de cuivre a) avant désoxydation et b) après désoxydation au BPS-172.

Pour remplir les vias, on dépose 400 nm de titane par évaporation dans les vias par la méthode de soulèvement. Les détails du procédé sont présentés dans l'Annexe A. La figure 5.20 montre la vue de dessus d'un via de 2,5 μm de diamètre après remplissage. L'anneau de titane sur le bord du via est causé par le porte-à-faux de la double résine.

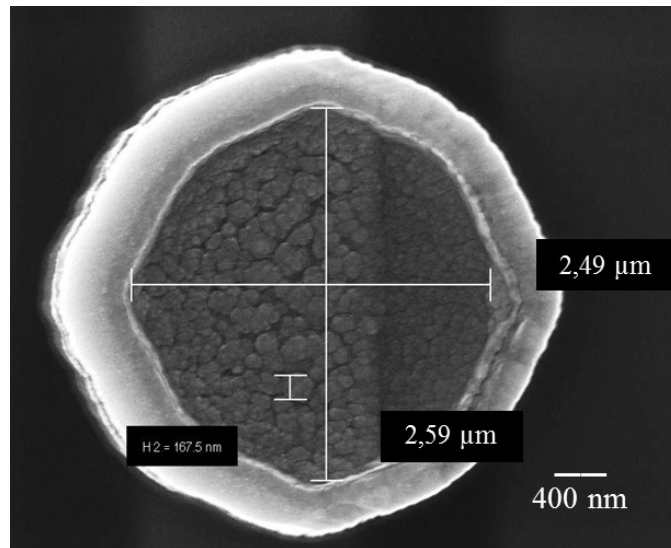


Figure 5.20 : Image SEM de la vue de dessus d'un via rempli de 400 nm de titane.

5.4 Caractérisations électriques

5.4.1 Vias

Deux photomasques ont été conçus : le premier pour fabriquer des vias de différentes tailles, et le deuxième pour déposer des plots en Cr-Au par soulèvement après le remplissage des vias afin de pouvoir caractériser électriquement les vias. Des vias carrés dont la longueur varie de 1 μm à 12,5 μm sont fabriqués et mesurés. Pour mesurer la résistance d'un via, on utilise une structure de mesure 4 pointes décrite à la figure 5.21. En mesurant le courant qui traverse le via et la tension à ses bornes, on peut calculer la résistance du via. Plusieurs structures sont fabriquées pour une taille de via afin d'obtenir une valeur de résistance moyenne. Ces valeurs sont présentées dans le tableau 5.4.

Tableau 5.4 : Valeur moyenne des résistances de vias de tailles différentes.

	Via 1 μm	Via 2,5 μm	Via 5 μm	Via 12,5 μm
Résistance moyenne (Ω)	772	337	40	4

La détermination de la résistance des vias démontre premièrement la fonctionnalité des vias. La résistance diminue quand la surface du via augmente. En ce qui concerne les valeurs de résistance, on ne peut se comparer à aucune référence, mais on peut dire qu'elles sont tout de même faibles par rapport à la résistance d'un SET qui est de l'ordre de la centaine de kilohms.

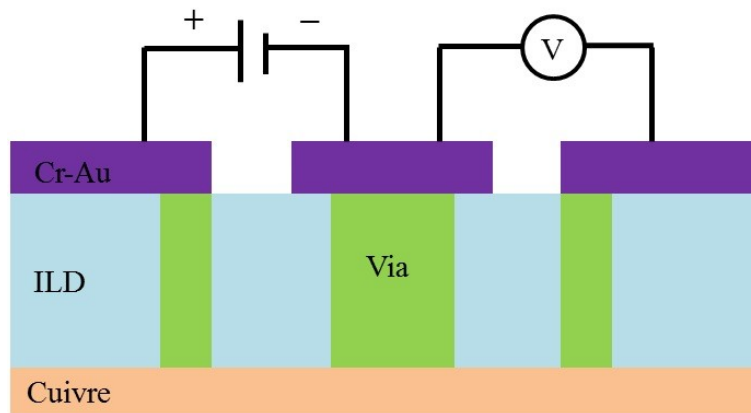


Figure 5.21 : Vue en coupe de la structure pour mesurer la résistance d'un via.

5.4.2 Transistors MOS

La caractérisation de transistors MOS, avant et après le remplissage des vias, est effectuée pour s'assurer de la fonctionnalité des transistors. Les figure 5.22a-b présentent respectivement les caractéristiques $I_{ds}-V_{ds}$ et $I_{ds}-V_{gs}$ d'un transistor de type N, de 2 μm de large et de 0,27 μm de long. On observe que le transistor est fonctionnel juste après la gravure des vias, et que ses caractéristiques ne changent pas après le remplissage des vias. Plusieurs transistors sont mesurés et le résultat obtenu est semblable à celui-ci. Plus de détails sur le protocole de caractérisation des transistors MOS sont donnés dans l'Annexe C.

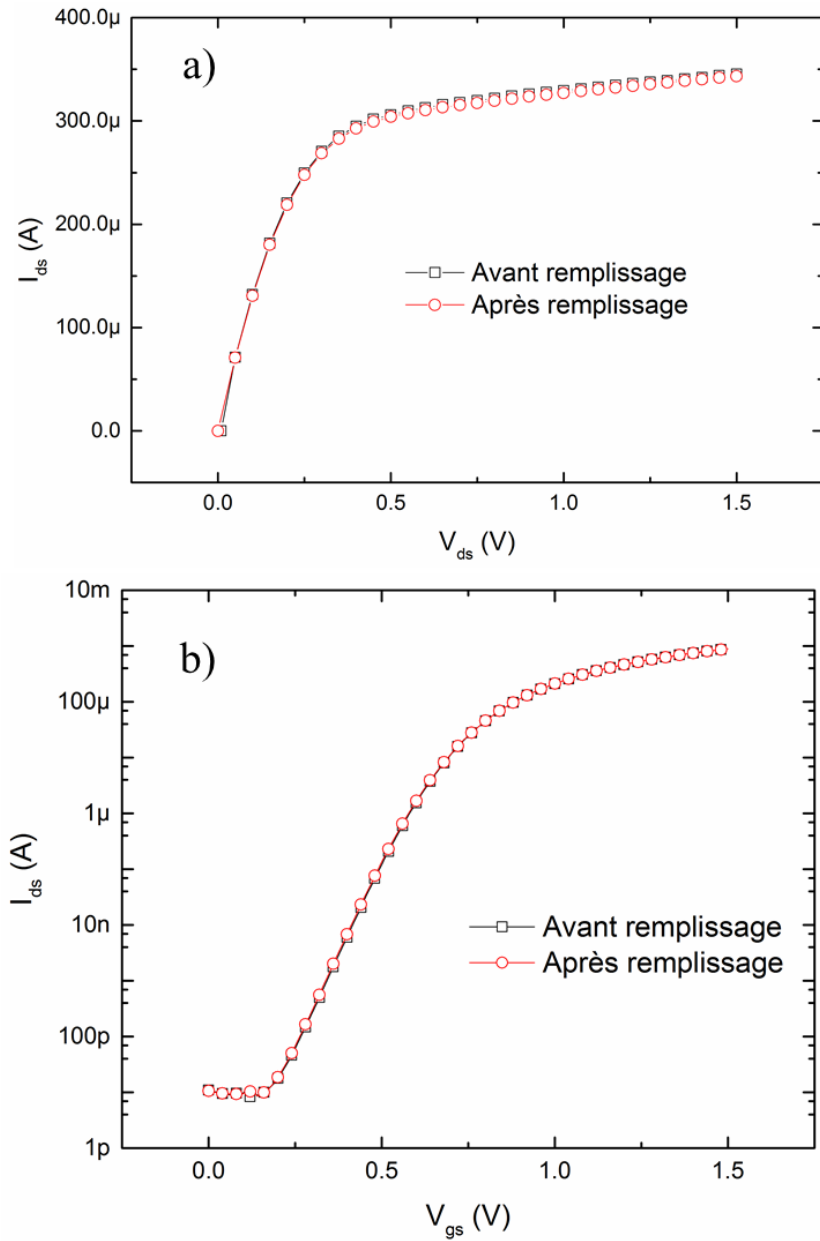


Figure 5.22 : Caractéristiques a) I_{ds} - V_{ds} et b) I_{ds} - V_{gs} du transistor NMOS 32F.

5.5 Réalisation d'un circuit 3D

5.5.1 Fabrication du circuit 3D

Pour réaliser la démonstration d'un circuit hybride, on a choisi de connecter un transistor MOS avec un nanofil en Ti fabriqué avec le procédé *nanodamascène* pour obtenir un diviseur

de tension. Les raisons de ce choix sont que le nanofil est plus simple à fabriquer que le SET (nombre d'étapes faible), et qu'à cause des problèmes rencontrés lors le polissage du TiN, ce circuit a été fabriqué en parallèle avec du Ti. L'avantage d'utiliser le Ti pour la fabrication des interconnexions et des dispositifs est de pouvoir les polir simultanément avec une seule étape de CMP. Le procédé de fabrication réalisé est le procédé dual-damascène qui est présenté à la figure 5.23. L'étape 1 consiste à graver les vias et à les préremplir pour protéger le cuivre des étapes suivantes. L'étape 2 sert à graver les structures UV et les nanostructures. À la troisième étape, une couche de Ti est déposée sur toute la surface et l'échantillon est alors poli jusqu'à T_0 avec le slurry Allied pour libérer le nanofil. La dernière étape consiste à déposer par soulèvement des plots d'aluminium sur les vias et les plots de contact UV striés afin d'effectuer les caractérisations électriques. Tous les détails des étapes de ce procédé se trouvent dans l'Annexe D. La figure 5.24 représente les vias qui se trouvent au-dessus de chaque plot de cuivre correspondant à un drain, une source ou une grille de transistor MOS. Les vias sont longs et nombreux afin de diminuer la résistance totale des interconnexions.

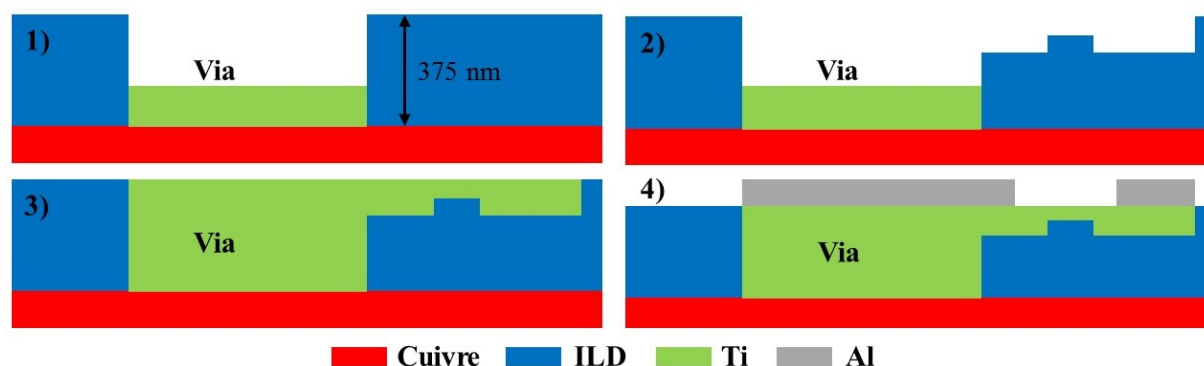


Figure 5.23 : Vue en coupe des différentes étapes du procédé dual-damascène pour fabriquer un nanofil connecté à un transistor CMOS.

Le résultat après soulèvement est présenté à la figure 5.25. Les deux plots du bas avec les vias correspondent au plot de grille et de drain d'un transistor MOS. Le plot du drain est directement connecté à une des électrodes du nanofil par un pont d'aluminium afin de former un circuit 3D composé d'un transistor MOS et d'un nanofil en série. Les caractérisations électriques sont présentées dans la prochaine section.

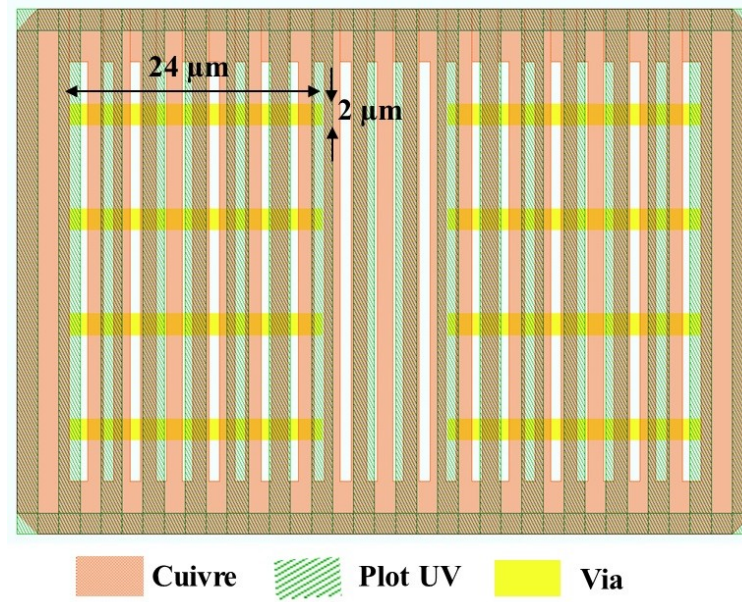


Figure 5.24 : Illustration d'un plot de cuivre et d'un plot UV connectés par huit vias.

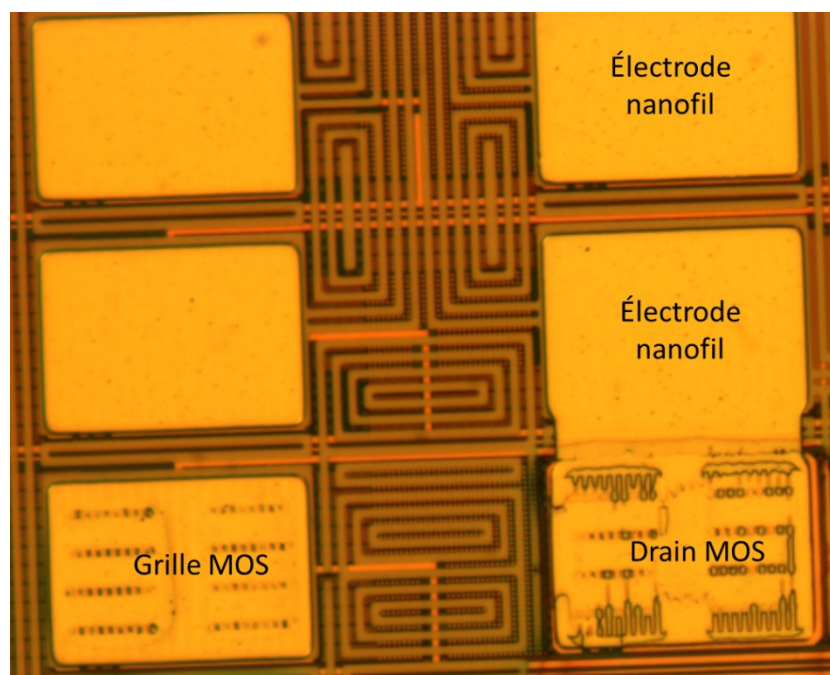


Figure 5.25 : Après le soulèvement des plots d'aluminium.

5.5.2 Caractérisations électriques du circuit 3D

Une station de mesure sous pointes est utilisée pour la caractérisation électrique. Le nanofil et le transistor MOS sont mesurés indépendamment pour obtenir leurs caractéristiques

électriques respectives. La figure 5.26 montre la caractéristique I-V linéaire du nanofil à partir de laquelle on extrait une résistance de $14\text{ k}\Omega$, grâce à la pente de la droite. Le transistor MOS est de type P et possède une largeur de grille de $0,6\text{ }\mu\text{m}$ et une longueur de grille de $10\text{ }\mu\text{m}$. Ses caractéristiques $I_{ds}-V_{ds}$ et $I_{ds}-V_{gs}$ ainsi que la variation de sa résistance en fonction de la tension source-drain et de la tension de grille sont présentées à la figure 5.27 et à la figure 5.28 respectivement. Le transistor présente des caractéristiques de sortie typiques d'un transistor MOS et est donc opérationnel. La tension V_{dd} choisie de $-1,1\text{ V}$ est associée au nœud technologique 32 nm .

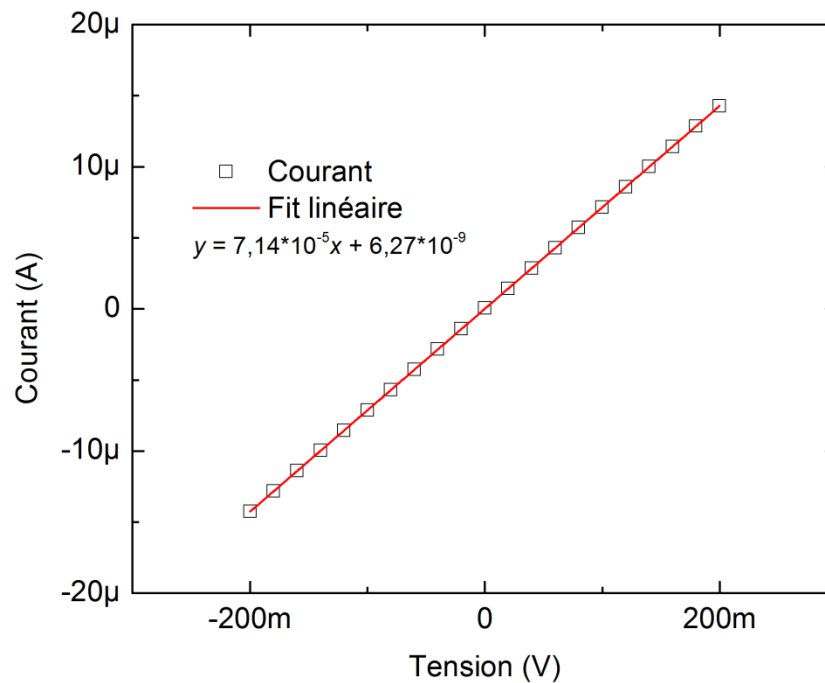
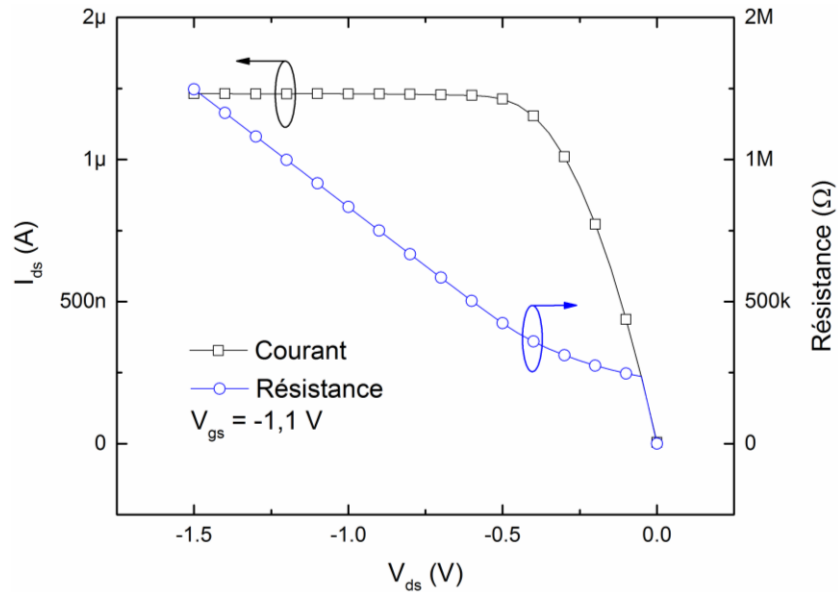
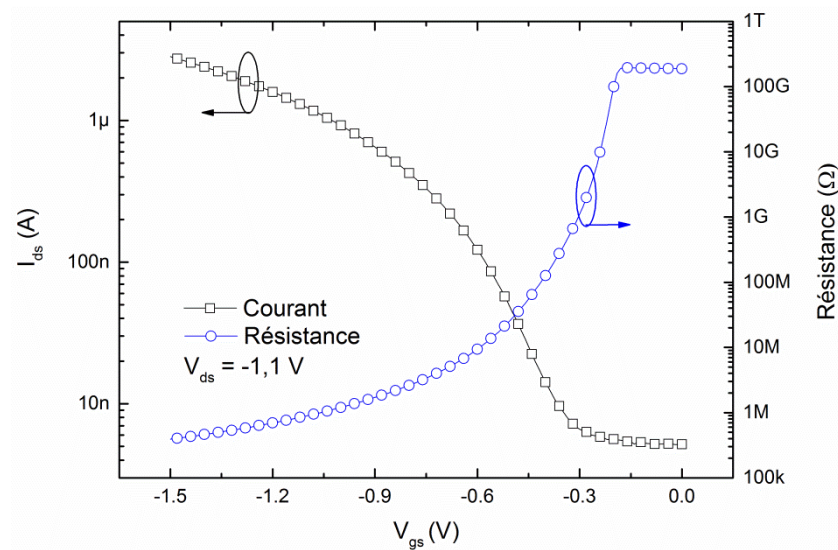


Figure 5.26 : Caractéristique I-V d'un nanofil fabriqué par le procédé *nanodamascène*.

Le circuit électrique caractérisé est dessiné à la figure 5.29. Le nanofil, considéré comme une résistance, est connecté en série au drain du transistor MOS et le potentiel V_{out} entre ces deux éléments est mesuré durant la caractérisation. Une tension fixe V_{dd} de $-1,1\text{ V}$ est appliquée en entrée sur le nanofil et la tension de grille V_{gs} du transistor est variée de 0 V à $1,5\text{ V}$ pour changer la résistance du transistor. La courbe expérimentale du courant et de la tension de sortie en fonction de la tension de grille est présentée à la figure 5.30.

Figure 5.27 : Caractéristique I_{ds} - V_{ds} et R - V_{ds} du transistor PMOS 116E.Figure 5.28 : Caractéristique I_{ds} - V_{gs} et R - V_{gs} du transistor PMOS 116E.

Premièrement, la courbe de courant ressemble beaucoup à celle du transistor MOS isolé, car la résistance du transistor est au moins dix fois plus grande que celle du nanofil. Ensuite à faible V_{gs} , on observe que la tension V_{out} est égale à V_{dd} , car la résistance du transistor MOS est très grande (GΩ) à l'état bas. Le courant qui passe est donc très faible et la chute de potentiel aux bornes du nanofil est nulle. En augmentant V_{gs} , le transistor devient passant et le courant devient assez grand pour pouvoir observer une différence de potentiel. D'après la loi d'Ohm, $R_{nanofil} = (V_{dd} - V_{out})/I_{circuit}$. Après analyse, on trouve que la valeur de la

résistance du nanofil est égale à $14 \text{ k}\Omega$ et qu'elle est identique à celle mesurée indépendamment. La résistance de l'interconnexion déduite entre le nanofil et le transistor est inférieure à $1 \text{ k}\Omega$. On vient donc de démontrer l'intégration d'un circuit composé d'un transistor MOS présent dans le FEOL et d'un nanofil fabriqué par *nanodamascène* dans le BEOL.

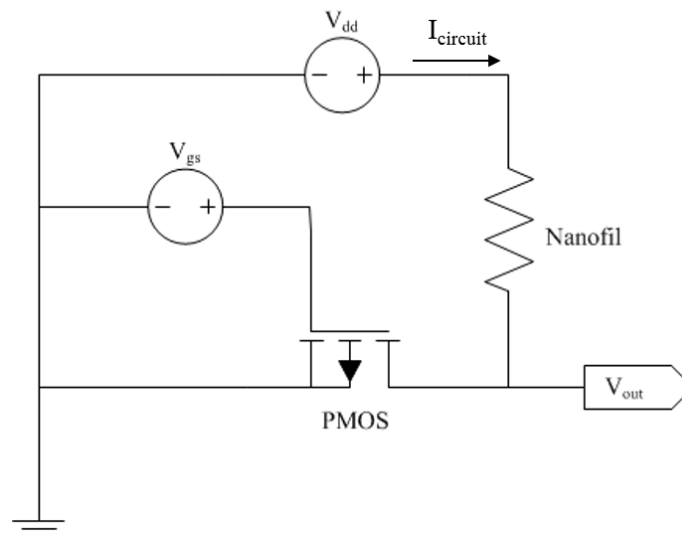


Figure 5.29 : Schéma électrique du circuit 3D fabriqué.

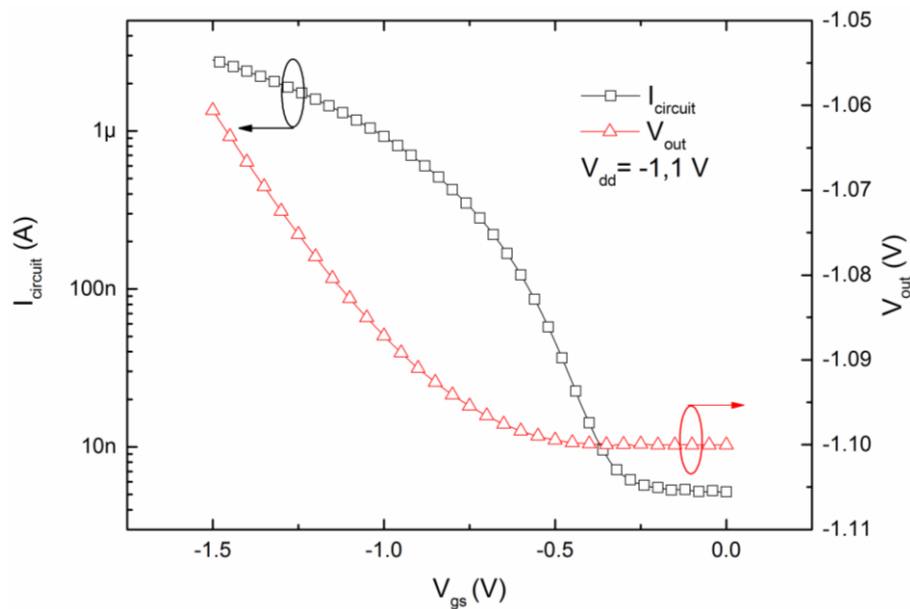


Figure 5.30 : Courant du circuit 3D et potentiel de sortie entre le nanofil et le transistor en fonction de la tension de grille du transistor MOS.

5.6 Conclusion

Un procédé d'intégration de nanodispositifs alignés sur un substrat CMOS a été développé. Lors du polissage du TiN, on a montré qu'il était nécessaire d'encapsuler les bords des échantillons afin d'éviter que le slurry CX s'infilte et réagisse avec l'ULK, causant un arrachement des couches supérieures avec l'addition de forces mécaniques. Un procédé d'interconnexion a aussi été développé afin de connecter verticalement les dispositifs fabriqués sur le TEOS avec les transistors MOS en dessous. Afin de contourner les problèmes rencontrés lors du polissage de TiN sur CMOS, on a fabriqué en parallèle des nanofils en titane, avec le procédé *nanodamascène*, au-dessus des zones de transistors MOS. Un circuit 3D hybride, composé d'un nanofil en titane, de vias en titane et d'un transistor MOS, a été réalisé. Le nanofil et le transistor ont d'abord été caractérisés séparément afin d'obtenir leurs caractéristiques électriques respectives. Le circuit au complet, qui sert de diviseur de tension dans notre cas, a ensuite été caractérisé. La valeur de résistance extraite de la caractéristique de sortie du circuit correspond exactement à la valeur de la résistance du nanofil isolé. On a donc démontré une première réalisation d'un circuit 3D hybride fonctionnel avec un nanodispositif intégré de façon monolithique dans le BEOL d'une puce CMOS.

Le prochain chapitre énonce les conclusions générales de ce projet, ainsi que les perspectives à court et à long termes.

CHAPITRE 6 Conclusion

6.1 Conclusions générales

L'objectif du projet visé au départ était de réaliser un circuit hybride entre des transistors MOS et des transistors monoélectroniques par intégration 3D monolithique. Pour atteindre cet objectif, on s'est servi d'un substrat avec des transistors MOS fabriqué jusqu'au premier niveau de métal du BEOL comme support. Pour la fabrication de SET, on s'est basé sur le procédé *nanodamascène* développé à l'Université de Sherbrooke.

Les travaux effectués lors de ce projet peuvent être divisés en trois grands axes :

- L'amélioration du procédé *nanodamascène* pour le rendre compatible à la partie BEOL d'une puce CMOS. Dans le nouveau procédé *nanodamascène* inverse, on a complètement remplacé le Ti par le TiN qui est plus stable et compatible BEOL. Un procédé de gravure plasma de nanostructures de TiN sur une nanotopographie de SiO₂ à base de Cl₂ a été mis en place pour créer la source et le drain du SET. Cette gravure est adaptée à la fabrication de SET, puisqu'on a vérifié électriquement qu'aucun isolant ne se dépose sur les flancs de gravure. L'étape de soulèvement pour former l'îlot a donc été éliminée, permettant potentiellement d'améliorer le rendement du procédé de fabrication. De plus, les jonctions tunnel ne sont plus créées par oxydation, mais en déposant de l'Al₂O₃ à 250 °C de façon contrôlée à l'échelle nanométrique grâce à la méthode d'ALD. En s'affranchissant des oxydes conjugués de l'îlot métallique, on peut envisager une étude approfondie de différents diélectriques pour la formation des jonctions tunnel. Le polissage CMP a été modifié afin d'être adapté au TiN en changeant le slurry Allied par le slurry CX. La réalisation de nanodispositifs sur SiO₂ a donc pu être faite jusqu'à l'étape de caractérisation électrique. Enfin, dans l'éventualité de remplacer le substrat de SiO₂ par du Si₃N₄ afin d'éviter des interactions à l'interface SiO₂/TiN et d'introduire un concept de couche d'arrêt pour la CMP, un procédé de gravure plasma de nanostructures de Si₃N₄ peu profondes à base de SF₆/C₄F₈ a été développé et le polissage de microstructures a été effectué avec succès.

- La validation expérimentale du procédé *nanodamascène* inverse. Trois types de nanodispositifs ont été fabriqués et caractérisés sur substrat de SiO_2 : le nanofil, la MIM et le SET. Les nanofils permettent de contrôler l'avancement du polissage des nanodispositifs et de déterminer l'épaisseur des dispositifs. Les caractérisations électriques des MIM en fonction de la température ont montré la présence de pièges dans l' Al_2O_3 et la conduction par ces pièges à haute température. Les MIM restent très stables électriquement pendant plusieurs semaines après passivation, ce qui permet d'anticiper que les SET auront également une bonne stabilité. Finalement, un SET a été caractérisé électriquement à 1,5 K. Malgré la présence de pièges détectée, des oscillations de Coulomb ont été observées, démontrant ainsi la fonctionnalité du SET.

- L'intégration d'un nanodispositif dans le BEOL d'un substrat CMOS et la démonstration d'un circuit 3D fonctionnel. Un procédé d'intégration permettant de fabriquer des nanodispositifs alignés sur CMOS avec le procédé *nanodamascène* inverse a été développé. Cet alignement est nécessaire afin de réaliser des circuits hybrides nanoélectroniques-CMOS. Cependant, pour contourner les problèmes de polissage rencontrés avec le TiN, un nanofil de Ti a été fabriqué et aligné sur les transistors de la puce CMOS. Les interconnexions verticales entre les nanodispositifs et les plots de transistors ont aussi été mises en place avec un procédé dual-damascène. Les vias sont créés avec une double gravure plasma et remplis avec du titane. La compatibilité du procédé d'interconnexion avec la technologie CMOS a été validée par des mesures de dispositifs avant et après l'intégration ne démontrant aucune variation significative. Un circuit 3D a ainsi pu être réalisé et caractérisé électriquement. Un diviseur de tension fonctionnel a été réalisé avec un nanofil en Ti fabriqué dans le BEOL et connecté avec un transistor MOS du FEOL.

Pour résumer, un procédé d'intégration 3D monolithique compatible avec la technologie CMOS a été mis en place afin de fabriquer des nanodispositifs dans le BEOL d'une puce CMOS. C'est la première fois au sein du groupe de recherche sur les SET de Sherbrooke qu'un nanodispositif est fabriqué avec le procédé *nanodamascène* inverse dans le BEOL d'une puce CMOS et est connecté à un transistor MOS pour former un circuit 3D fonctionnel.

6.2 Perspectives

Le circuit hybride SET-CMOS n'a cependant pas pu être réalisé, mais tous les outils ont été développés pour maintenant y parvenir. Le problème de polissage du TiN ne semble plus être un frein à la fabrication de SET avec le procédé inverse sur CMOS en ajoutant une étape d'encapsulation des bords de puces. Il faudrait donc reproduire le procédé au complet sur CMOS afin de fabriquer des SET et de les connecter avec des transistors MOS. Le procédé de fabrication pourrait être encore optimisé afin d'augmenter la température de fonctionnement et les performances du SET. Plusieurs approches pour apporter des améliorations au procédé sont proposées ci-dessous.

Les caractérisations électriques de l' Al_2O_3 ont démontré des mécanismes de conduction liés à des pièges. La présence de défauts dans les jonctions a un impact assez important sur le bon fonctionnement du SET. Il faudrait essayer d'améliorer ce dépôt pour réduire la densité de pièges, en utilisant par exemple des recuits. Autrement, on pourrait déposer un autre diélectrique comme le SiO_2 qui a une hauteur de barrière plus faible (1,8 eV) et une plus faible permittivité ($\epsilon_r = 3,9$). Cela permettrait de réduire les capacités source et drain tout en augmentant le courant de conduction du SET. L'utilisation d'un empilement de plusieurs diélectriques pour former les jonctions tunnel pourrait aussi être adoptée afin d'optimiser les performances du SET en réduisant la capacité effective et la hauteur de barrière effective de la jonction tunnel (El Hajjam 2015).

On pourrait réduire la taille de l'îlot en amincissant beaucoup plus le dispositif par CMP, ou en étant plus agressif sur les dimensions choisies lors des étapes d'électrolithographie, afin de réduire la capacité totale de l'îlot. En effet, en contrôlant la résistance du nanofil entre chaque étape de CMP, il est possible d'obtenir des épaisseurs effectives de conduction de quelques nanomètres et donc d'obtenir potentiellement des jonctions tunnel d'une fraction d'attofarad (Guilmain 2013).

Le dépôt de Si_3N_4 sur CMOS pourrait être envisagé pour utiliser cette couche comme une couche d'arrêt sans oxygène. Le contrôle et la reproductibilité de l'épaisseur finale des dispositifs seraient améliorés. De premiers tests de dépôt ont été faits, mais des problèmes de déposition et de gravure ont été rencontrés. L'Annexe E présente les résultats obtenus plus en détail.

Afin d'éliminer l'étape de soulèvement de l'îlot du procédé *nanodamascène* standard, on pourrait utiliser une résine négative non organique comme la HSQ qui permet d'obtenir des lignes beaucoup plus fines et denses que la ZEP et avec une meilleure sélectivité pour la gravure. Un développement de procédé d'électrolithographie avec cette résine a été mené durant ce projet. On a réussi à obtenir des lignes isolées et denses de 13 nm de large. Plus de détails sur ce développement sont donnés dans l'Annexe F.

Le procédé d'interconnexion pourrait être amélioré en remplaçant le Ti ou TiN par du tungstène, du cuivre ou de l'aluminium, qui sont les matériaux couramment utilisés pour les interconnexions des puces CMOS. Ce changement nécessiterait de développer des méthodes de dépôt et de polissage CMP, ainsi que de modifier les approches de fabrication (*via-first*, *via-last*).

Enfin, le développement d'un procédé plus avancé avec une grille auto-alignée sur le dessus de l'îlot comme pour un transistor MOS pourrait permettre une augmentation de la densité d'intégration. Un nanofil de métal est d'abord fabriqué avec le procédé *nanodamascène*. On dépose ensuite un oxyde et un métal de grille sur toute la surface et on vient graver cet empilement avec un masque dur pour former l'îlot et la grille en même temps. On dépose les jonctions tunnel et une couche métallique pour remplir toutes les tranchées. Finalement, on grave par plasma le métal excédent tout en gardant la grille protégée par le masque dur. L'Annexe G explique le concept plus en détail.

Cette thèse a permis d'ajouter de nouvelles briques à l'intégration 3D monolithique de nanodispositifs dans le BEOL d'une puce CMOS avec le procédé *nanodamascène* inverse, et de démontrer la possibilité de réaliser des circuits 3D hybrides. À plus long terme, ce procédé permettrait de fabriquer plusieurs types de dispositifs tels que des SET, des transistors à effet tunnel ou encore des mémoires résistives. La porte vers une intégration monolithique hétérogène est donc un peu plus ouverte, mais il reste encore beaucoup de travail à faire pour arriver à retrouver ces circuits hybrides dans nos appareils électroniques.

ANNEXE A

Procédé de fabrication détaillé

Le premier tableau détaille les étapes du procédé de fabrication *nanodamascène* inverse sur substrat CMOS et le deuxième tableau détaille les étapes de fabrication des vias. Certaines étapes doivent être adaptées pour chaque projet, surtout pour les étapes de gravure (temps) et d'électrolithographie (doses). Le procédé de vias est très dépendant du procédé général (via-first, via-last, dual-damascène). Ici, il est présenté en dual damascène sans la passivation et avec du Ti. Ces tableaux peuvent contenir des erreurs, donc à vérifier.

Tableau A.1 : Procédé de fabrication de SET

Étape	Équipement	Détails	Cible	Notes
0	Substrat	CMOS		
0.01	Banc humide	Acétone 5min IPA + eau DI – 5 min + 30 s	Nettoyage	
0.02	Plasmaline	150 W - 300 mTorr - 5 min		
1	UV1 photolitho	Chemins d'amenée		
1.01	Plaque chauffante	180 °C - 5 min	Déshydratation	
1.02	Étaleuse Polos	Mcc primer - S1805 - 5000 rpm - 30 s	480 nm	
1.03	Plaque chauffante	115 °C - 1 min	Recuit	
1.04	Aligneuse OAI 806	SSE : G717 - 15 mW / cm ² - 10 s	EBR	
1.05	Développeuse Polos	MF319 – 2x15 s	Développement	
1.06	Aligneuse OAI 806	SSE : Aadab v3 - 15 mW / cm ² - 2.6 s	Exposition	
1.07	Développeuse Polos	MF319 - 2x15 s	Développement	
1.08	AOE-STS	Recette DescUV - 30 W plateau - 30 s	Descum	
1.09	AOE-STS	Recette SiO70 - 120 s + xls	40 nm	
1.10	Banc humide	Remover1165 - 70 °C - 30 min Acétone 5min + ultrason 2 min IPA + eau DI - 5 min + 30 s	Nettoyage	
1.11	Plasmaline	150 W - 300 mTorr - 5 min		
1.12	Profilomètre	Mesurer profondeur gravure +xls	40 nm	
1.13	SEM	Mesure désalignement pour chaque zone		
2	EBL1 électrolitho	Nanostructures		
2.01	Plaque chauffante	180 °C - 5 min	Déshydratation	

2.02	Étaleuse Polos	Mcc primer - ZEP2.4 - 5000 rpm - 30 s	90 nm	
2.03	Plaque chauffante	180 °C - 5 min	Recuit	
2.04	FIB	20 kV - 7.5 µm - 5 mm	Exposition	Dose à définir
2.05	Banc humide	O-Xylène 75 s - MIBK 15s	Développement	
2.06	Plaque chauffante	125 °C - 3 min	Recuit	
2.07	AOE-STs	Recette DescZEP - 10 W plateau - 15 s	Descum	
2.08	AOE-STs	Recette SiO70 - 54 s + xls	20 nm	
2.09	Banc humide	Remover1165 - 70 °C - 30 min Acétone 5min + ultrason 2 min IPA + eau DI - 5 min + 30 s	Nettoyage	
2.10	Plasmaline	150 W - 300 mTorr - 5 min		
2.11	AFM	Profondeur et largeur tranchées		
2.12	Étaleuse Polos	S1813 - 5000 rpm - 30 s		
2.13	Plaque chauffante	115 °C - 1 min		
2.14	Scie	Découpe en 1 x 1 cm ²		
2.15	Banc humide	Acétone 5min IPA + eau DI - 5 min + 30 s	Nettoyage	
2.16	Plasmaline	150 W - 300 mTorr - 5 min		
3	EBL2 électrolitho	Définition source-drain		
3.01	SPT320	Dépôt pulvé 25 nm TiN		
3.02	4 pointes	Mesure résistivité dummy TiN		
3.03	Plaque chauffante	180 °C - 5 min	Déshydratation	
3.04	Étaleuse Polos	Mcc primer - ZEP1.7 - 5000 rpm - 30 s	200 nm	
3.05	Plaque chauffante	180 °C - 5 min	Recuit	
3.06	FIB	20 kV - 7.5 µm - 5 mm	Exposition	Dose à définir
3.07	Banc humide	O-Xylène 75 s - MIBK 15s	Développement	
3.08	Plaque chauffante	125 °C - 3 min	Recuit	
3.09	III-V STS	Recette TiN_nano - 2min 30	25 nm	
3.10	Banc humide	Remover1165 - 70 °C - 30 min Acétone 5min + ultrason 2 min IPA + eau DI - 5 min + 30 s	Nettoyage	
3.11	AFM	Inspector gravure		
4	Jonction tunnel			
4.01	ALD	Dépôt 25 nm Al ₂ O ₃ thermique 250 °C		
4.02	ALD	Dépôt 25 nm TiN thermique 250 °C		
5	Blanket final			

5.01	SPT320	Dépôt pulvé 40 nm TiN	80 nm	Sandblast
		Dépôt pulvé 40 nm TiN		Chiffon
5.02	4 pointes	Mesure résistivité dummy TiN		
6	Polissage	Amincissement		
6.01	CMP	Slurry CX 350/60/50/50/20	T ₀	
6.02	SEM	Observations 1 keV faible mag		
6.03	AFM	Topographie		
6.04	Kethley	Mesures connectivité		
7	Passivation	Protection		
7.01	SPT320	Dépôt pulvé SiO ₂ 200 nm face arrière		Kapton face avant
7.02	Banc humide	Acétone 5min	Nettoyage	
7.03		IPA + eau DI - 5 min + 30 s		
7.04	PECVD-STC	Dépôt 100 nm Si ₃ N ₄		Protection bord avec Si
7.05	Plaque chauffante	150 °C - 5 min	Déshydratation	
7.06	Étaleuse Polos	LOR3A - 3000 rpm - 30 s		
7.07	Plaque chauffante	150 °C - 5 min		
7.08	Étaleuse Polos	S1805 - 5000 rpm - 30 s		
7.09	Plaque chauffante	115 °C - 1 min		
7.10	Aligneuse OAI 806	SSE : L116 - 15 mW / cm ² - 3.5 s		
7.11	Développeuse Polos	MF319 - 2x15 s		
7.12	AOE-STC	Recette DescUV - 30 s	Descum	
7.13	AOE-STC	Recette SiO ₉₀ - 55 s	100 nm	
7.14	Edwards	Dépôt évap 15 nm Cr - 150 nm Au		
7.15	Banc Humide	Remover1165 - 70 °C - 30 min	Soulèvement	
		Acétone 5min + ultrason 2 min		
		IPA + eau DI - 5 min + 30 s		

Tableau A.2 : Procédé de fabrication de vias fait avant ou après EBL1

Étape	Équipement	Détails	Cible	Notes
1	Photolithographie	Fabrication Via + remplissage partiel		
1.01	Plaque chauffante	180 °C - 5 min	Déshydratation	
1.02	Étaleuse Polos	Mcc primer - S1805 - 5000 rpm - 30 s	480 nm	
1.03	Plaque chauffante	115 °C - 1 min	Recuit	
1.04	Aligneuse OAI 806	SSE : G717 - 15 mW / cm ² - 10 s	EBR	

1.05	Développeuse Polos	MF319 – 2x15 s	Développement
1.06	Aligneuse OAI 806	SSE : masque via - 15 mW / cm ² - 2.6 s	Exposition
1.07	Développeuse Polos	MF319 - 2x15 s	Développement
1.08	AOE-STs	Recette DescUV - 30 s	Descum
1.09	AOE-STs	Recette SiO90 - 2 min 35 s	225 nm
1.10	RIE	CF ₄ 75% 100 W - temps à définir	À calibrer
1.11	Intelvac	Dépôt évap 150 nm Ti	Protéger Cu
1.12	Banc humide	Remover1165 - 70 °C - 30 min Acétone 5min + ultrason 2 min IPA + eau DI - 5 min + 30 s	Soulèvement
2	Remplissage	Fait après le dépôt des jonctions tunnel	
2.01	SPT320	Dépôt pulvé 30 nm Ti - 40 W	150 nm
		Dépôt pulvé 120 nm Ti - 100 W	
2.02	CMP	Slurry Allied 350/60/50/50/20	T ₀
2.03	SEM	Observations 1 keV	
3	Dépôt pads		
3.01	Plaque chauffante	170 °C - 5 min	Recuit
3.02	Étaleuse Polos	LOR5A - 4000 rpm - 60 s	Descum
3.03	Plaque chauffante	170 °C - 5 min	20 nm
3.04	Étaleuse Polos	S1813 - 4000 rpm - 60 s	
3.05	Plaque chauffante	115 °C - 1 min	
3.06	Aligneuse OAI 806	SSE : L116 - 15 mW / cm ² - 6 s	
3.07	Banc humide	Immersion MF319 - 90 s	
3.08	SPT320	Dépôt pulvé 20 nm Ti Dépôt pulvé 200 nm Al	
3.09	Banc humide	Remover1165 - 70 °C - 30 min	Soulèvement
		Acétone 5min + ultrason 2 min	
		IPA + eau DI - 5 min + 30 s	

ANNEXE B

Polissage CMP sur CMOS

Cette annexe donne les détails des différents tests qui ont été effectués, ainsi que la méthodologie, pour étudier les hypothèses sur la source du problème de polissage du TiN.

B.1. Gravure chimique pure

La deuxième hypothèse est la gravure chimique des couches diélectriques par le slurry CX. Sa composition chimique n'est pas connue pour des raisons de confidentialité. Seulement son pH est connu et est compris entre 6,1 et 6,7. Le résultat est présenté à la Figure B.1a et b. Aucune gravure micro et nanométrique de la surface n'est observable. Le problème n'est donc pas dû à une gravure chimique pure.

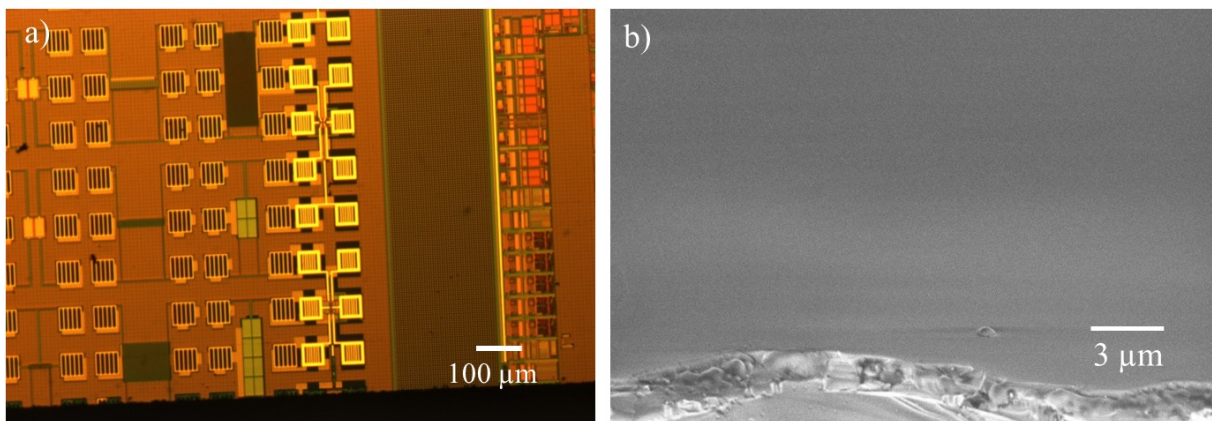


Figure B.1 : a) Image optique d'un échantillon après 5 min de gravure statique dans le slurry CX. b) Image SEM à angle du bord du même échantillon.

B.2. Comparaison avec Ti

La Figure B.2 montre l'image SEM d'une cellule polie jusqu'à T_0 sans aucun problème avec du Ti et du slurry Allied. Les conditions de polissage ne sont donc pas la raison principale du problème.

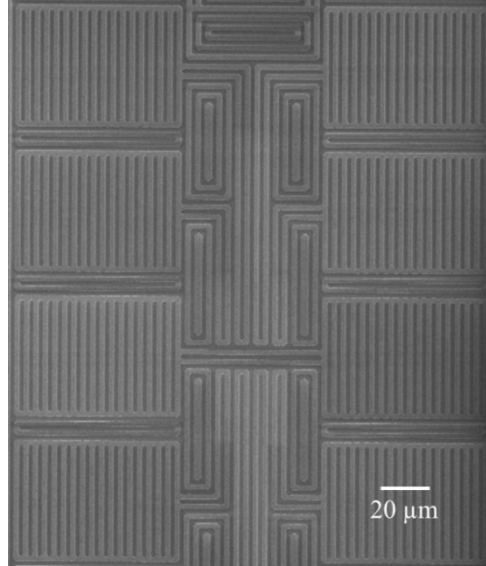


Figure B.2 : Image SEM de microstructures de titane polies avec le slurry Allied sur un échantillon CMOS.

B.3. Mesures de contraintes

La deuxième source pourrait être les contraintes résiduelles des couches de TiN déposées. L'objectif de l'expérience ci-après est de mesurer les contraintes résiduelles dans les couches de TiN et de Ti afin de les comparer et d'expliquer la raison de l'arrachement dans le cas du TiN uniquement. La méthode utilisée pour mesurer les contraintes résiduelles dans une couche mince est la mesure de la courbure d'un substrat avant et après déposition de la couche. À l'aide d'un profilomètre mécanique, le rayon de courbure d'une tranche de silicium <100> de 10 cm de diamètre et de 250 μm d'épaisseur est mesuré dans deux directions comme l'illustre la Figure B.3. La tranche repose sur trois billes pour que la partie centrale soit suspendue. Une couche de TiN 25 nm est ensuite déposée par pulvérisation sur cette tranche et le rayon de courbure est remesuré après déposition. Cette manipulation est faite aussi pour une couche de TiN de 80 nm, de Ti de 25 nm et de Ti de 150 nm d'épaisseur sur trois autres tranches différentes. Pour déterminer la valeur des contraintes résiduelles, on utilise le logiciel Dektak qui calcule cette valeur à l'aide de l'équation de Stoney (Stoney 1909):

$$\sigma = \frac{1}{6} \left(\frac{1}{R_{post}} - \frac{1}{R_{pré}} \right) \frac{E}{(1 - \nu)} \frac{t_{sub}^2}{t_f}$$

Avec σ la contrainte du film déposé, R_{post} le rayon de courbure postdépôt, $R_{pré}$ le rayon de courbure prédépôt, E le module de Young, ν le coefficient de Poisson, t_{sub} l'épaisseur du substrat et t_f l'épaisseur du film déposé.

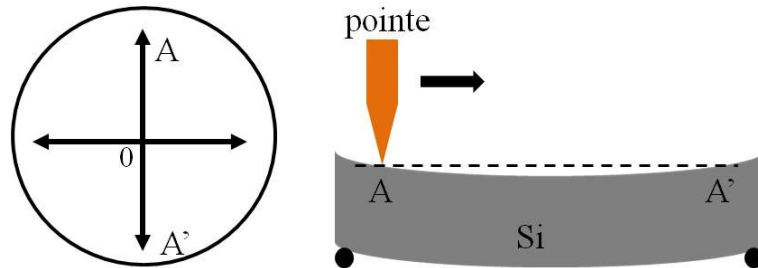


Figure B.3 : À gauche, la vue de dessus de la gaufre de silicium avec les directions de mesure. À droite, la vue en coupe selon la direction AA'.

Les tranches sont nettoyées au BOE pendant 5 min avant le dépôt du métal afin d'avoir une bonne surface d'adhésion.

B.4. Encapsulation des bords de puces

La face avant de l'échantillon CMOS est surélevée par du kapton pour éviter le contact avec le support. On dépose 200 nm de SiO_2 d'épais pour qu'il y ait une épaisseur suffisante sur les bords de l'échantillon.

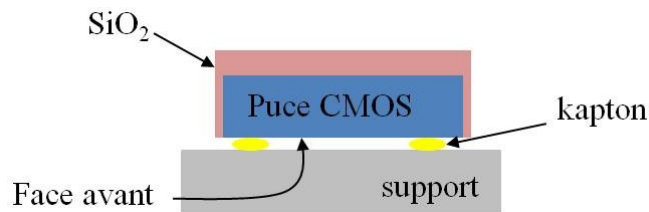


Figure B.4 : Schéma de l'étape de dépôt de SiO_2 par pulvérisation sur la face arrière.

ANNEXE C Protocole de caractérisation de transistors MOS

Le tableau ci-dessous résume le protocole appliqué lors des caractérisations électriques des transistors MOS avec l'appareil de mesure Keithley 4200.

Tableau C.3 : Paramètres de caractérisation

Mesures	Protocole	Caractéristiques de sortie
NMOS	<ul style="list-style-type: none"> Balayage en tension de 0 à 1,5 V sur le drain avec un pas de 0,05 V Tension à la grille à 0 V et 1,1 V Tension à la source de 0 V Tension au substrat 0 V 	Courant au drain, à la source, au substrat et à la grille
	<ul style="list-style-type: none"> Balayage en tension de 0 à 1,5 V sur la grille avec un pas de 0,01 V Tension au drain de 1,1 V Tension à la source de 0 V Tension au substrat 0 V 	Courant au drain, à la source, au substrat et à la grille
PMOS	<ul style="list-style-type: none"> Balayage en tension de 0 à -1,5 V sur le drain avec un pas de -0,05 V Tension à la grille à 0 V et -1,1 V Tension à la source de 0 V Tension au substrat 0 V 	Courant au drain, à la source, au substrat et à la grille
	<ul style="list-style-type: none"> Balayage en tension de 0 à -1,5 V sur la grille avec un pas de 0,01 V Tension au drain de -1,1 V Tension à la source de 0 V Tension au substrat 0 V 	Courant au drain, à la source, au substrat et à la grille

ANNEXE D

Procédé dual-damascène

Les premiers tests de CMP de vias étaient faits avec un dépôt de Ti de 300 nm. Lors de l'étape du polissage CMP de la couche de Ti à l'étape 3 du procédé dual-damascène, un problème d'arrachement est survenu. Sur la Figure D.1a, on peut distinguer les parties arrachées où les plots de cuivre sont visibles et les parties où il reste encore du titane (zone grise). Il est possible que la couche de titane déposée soit trop épaisse et cause une instabilité mécanique au niveau de la couche de SiOCH. Une couche de 150 nm de Ti est donc déposée à la place de 300 nm pour résoudre ce problème. Ce résultat est présenté à la Figure D.2b. On observe que l'échantillon est poli jusqu'à la libération des structures UV sans aucun problème d'arrachement.

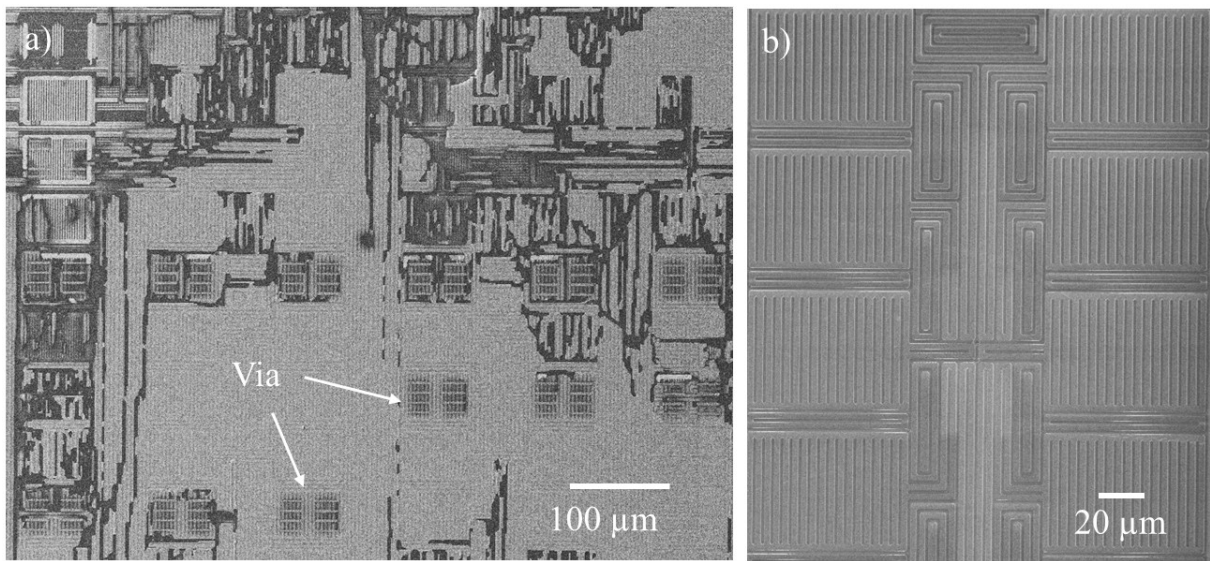


Figure D.1 : Image SEM d'un échantillon CMOS après polissage avec une couche a) de 300 nm de Ti et b) de 150 nm de Ti.

Par contre, le polissage au niveau des vias n'est pas uniforme comme le montre la Figure D.2a. Les zones où se trouvent les vias semblent être surpolies. La Figure D.2b illustre un via qui a été prérempli de 150 nm de Ti à l'étape 1 du procédé et rempli de Ti de 150 nm d'épaisseur à l'étape 3. On remarque que le via n'est pas complètement rempli. Le surpolissage pourrait provenir de ce détail et du fait qu'habituellement les coins et les régions les plus denses se polissent plus rapidement en CMP à cause de l'érosion (Park et al. 2003).

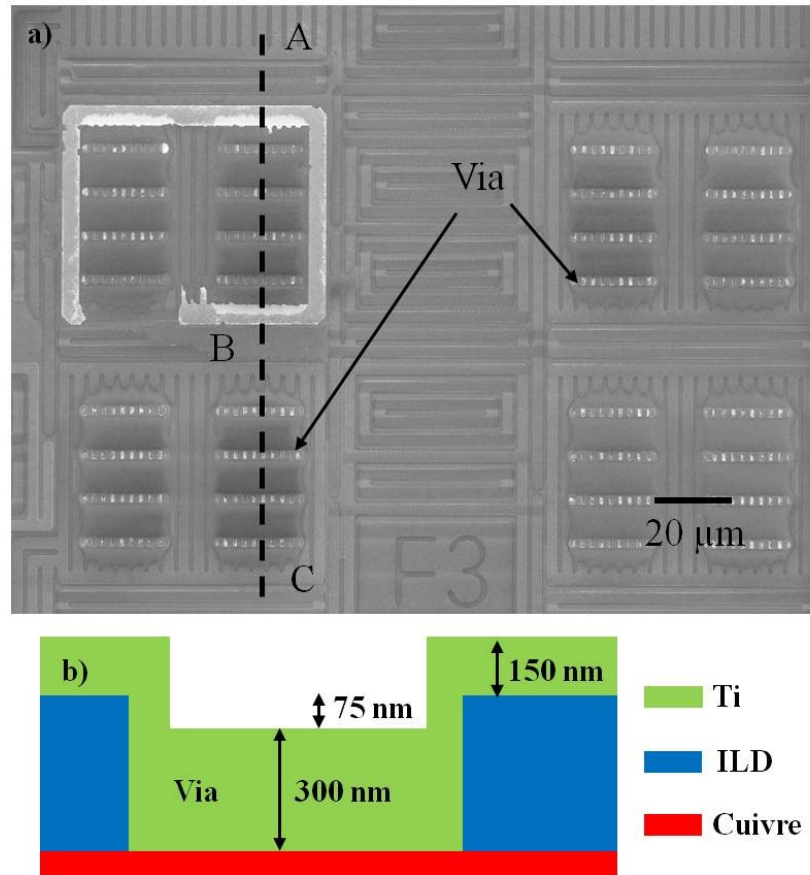


Figure D.2 : a) Image SEM après le polissage de vias remplis avec 150 nm de Ti. b) Vue en coupe avant polissage d'un via rempli avec 150 nm de Ti.

Une mesure au profilomètre le long de la ligne AC est faite et présentée à la Figure D.3a. La Figure D.3b montre une illustration du profil de surface de la première zone de vias afin de mieux comprendre les différents reliefs. On observe des trous de la profondeur d'un via qui sont probablement dus à un arrachement, et une érosion de 160 nm dans la zone de vias. Le soulèvement d'une couche de 200 nm d'aluminium déposée par pulvérisation est quand même effectué puisque les vias sont toujours présents.

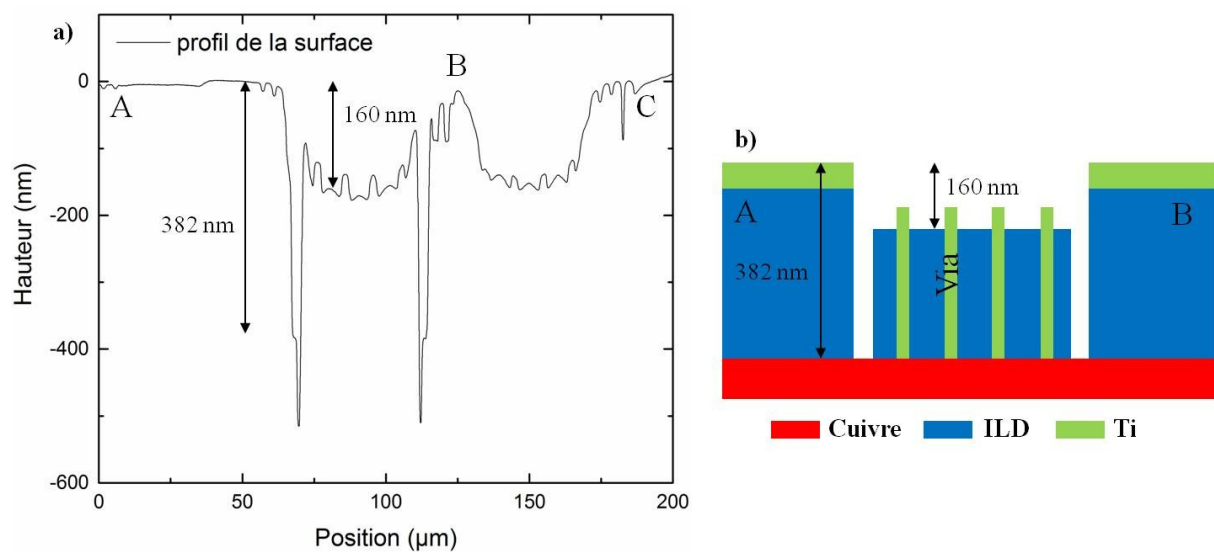


Figure D.3 : a) Profil de hauteur à travers deux zones de vias. b) Illustration du profil de hauteur de la première zone de vias.

ANNEXE E

Dépôt de Si_3N_4 PECVD sur CMOS

Des gravures plasma ont été effectuées sur du Si_3N_4 déposé par PECVD sur un substrat CMOS afin de fabriquer les dispositifs sur nitrure au lieu du TEOS. La Figure E.1 montre les nanostructures après gravure à l'ASE. On constate des résidus sur toutes les surfaces gravées. Plusieurs tests ont été faits afin de trouver la source du problème et de le résoudre.

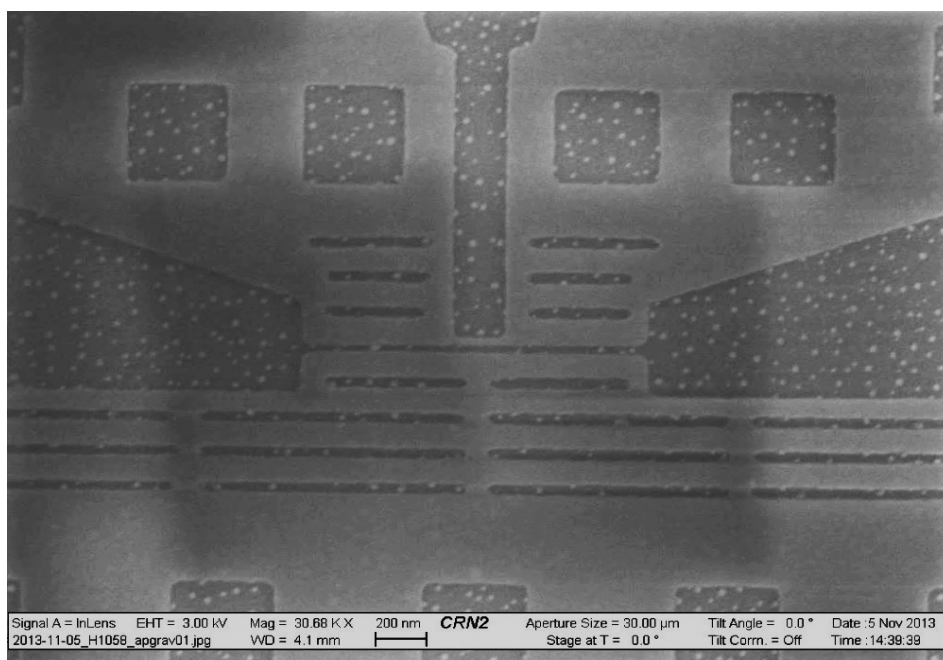


Figure E.1 : Image SEM d'un échantillon CMOS avec du Si_3N_4 gravé à l'ASE.

Premièrement, des analyses XPS sur du Si_3N_4 déposé sur Si et sur CMOS ont été faites. Les résultats sont identiques pour les deux échantillons, ce qui veut dire qu'il n'y pas de différence chimique.

Une mesure AFM est faite après le dépôt de SiO_2 face arrière et après le dépôt de Si_3N_4 . L'objectif étant de voir l'état de surface avant et après dépôt de Si_3N_4 . Le RMS de la rugosité de surface est la même dans les deux cas. Par contre, après gravure de l'échantillon à l'ASE, on observe une forte augmentation de la rugosité de surface sur la Figure E.3a. La même gravure sur du Si_3N_4 sur Si ne montre pas autant de résidus (Figure E.3b).

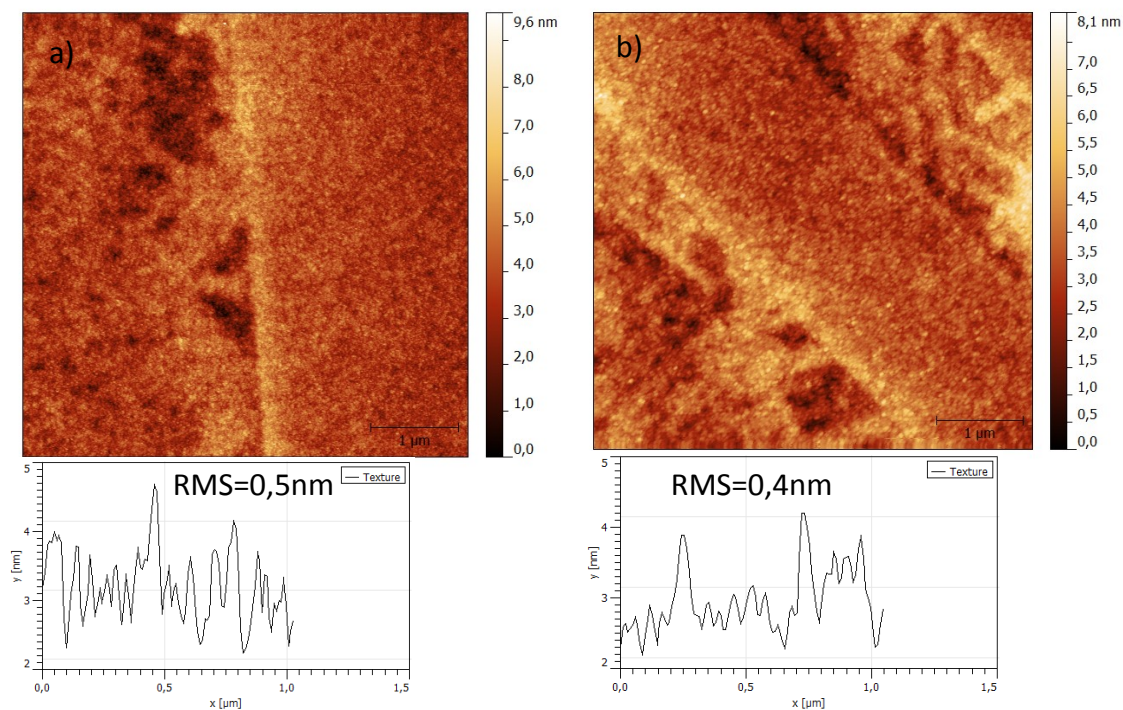


Figure E.2 : Mesures AFM d'un échantillon CMOS a) avant dépôt Si_3N_4 et b) après dépôt Si_3N_4 .

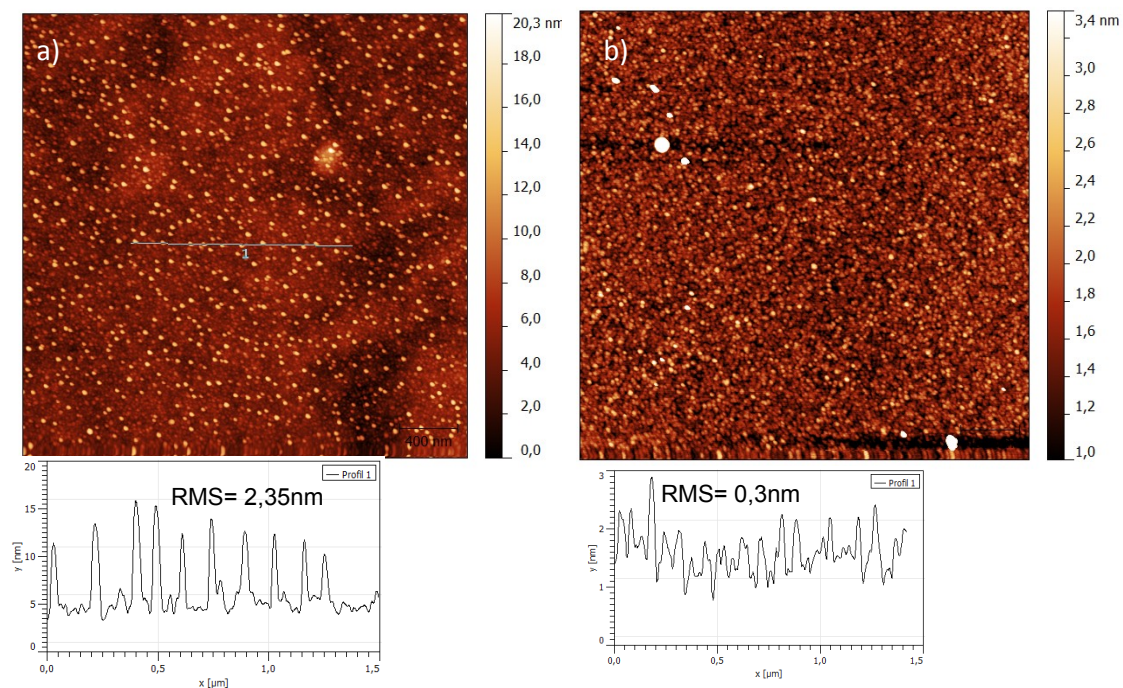


Figure E.3 : Mesure AFM après gravure ASE a) d'un échantillon CMOS avec du Si_3N_4 et b) d'un échantillon Si avec du Si_3N_4 .

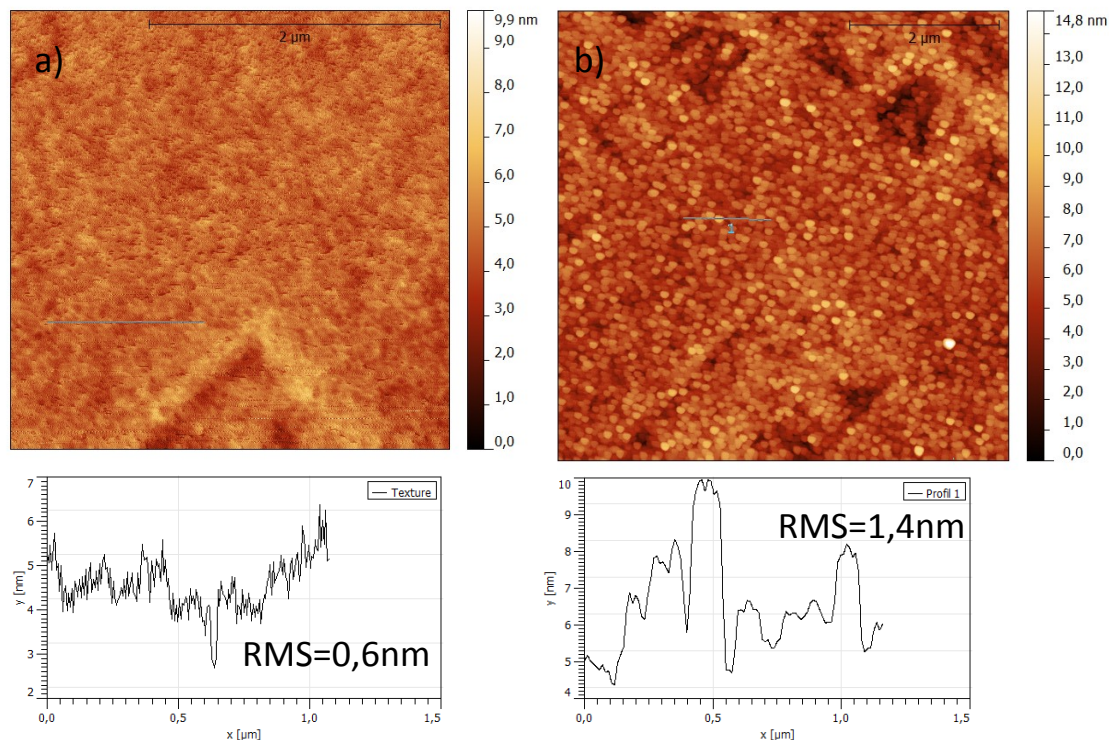


Figure E.4 Image AFM d'un échantillon CMOS a) avant et b) après dépôt de Si_3N_4 avec 50 sccm d'Ar

La recette de dépôt de Si_3N_4 a été modifiée pour voir l'impact de l'ajout d'argon sur la couche. La recette standard ne contient pas d'argon, mais on a essayé une recette avec 50 sccm d'Ar. Les résultats sont présentés aux Figure E.4. Avec 50 sccm d'argon, la rugosité est multipliée environ par deux, ce qui veut dire que les conditions de dépôts sont moins adaptées que la recette standard. Pour l'instant, aucune solution n'a été trouvée pour ce problème de gravure.

ANNEXE F Électrolithographie HSQ

Deux types de procédés d'électrolithographie ont été mis en place : un à haute énergie (20 keV) et un à basse énergie (2 kV). On va commencer par le procédé à 20 keV.

On utilise de la HSQ de Dow Corning XR-1541 à 4%. La résine est gardée dans un frigidaire pour une meilleure conservation. Avant d'étaler la résine, il faut nettoyer le béccher qui va contenir la HSQ avec une solution de piranha 2 :1 et du HF à 2%. Ce nettoyage est nécessaire pour enlever toute particule pouvant contaminer la résine. Le dépôt de la résine se fait à l'aide d'une seringue avec au bout un filtre de particules. La résine est étalée à 5000 rpm pendant 30 s et recuite à 150 °C pendant 5 min pour obtenir une épaisseur de 115 nm. Le temps de développement est de 2 fois 30 s dans du MF-319. La température de recuit et la dose surfacique ont été obtenues par des courbes de contraste. La dose surfacique adéquate est $100 \mu\text{C}/\text{cm}^2$. Pour la dose linéaire, des réseaux de lignes isolées ont été exposés afin de trouver la dose idéale. La Figure F.1 montre qu'il a été possible de fabriquer une ligne large de 13 nm et d'une hauteur de 90 nm sur une couche de TiN avec une dose de 1,5 nC/cm.

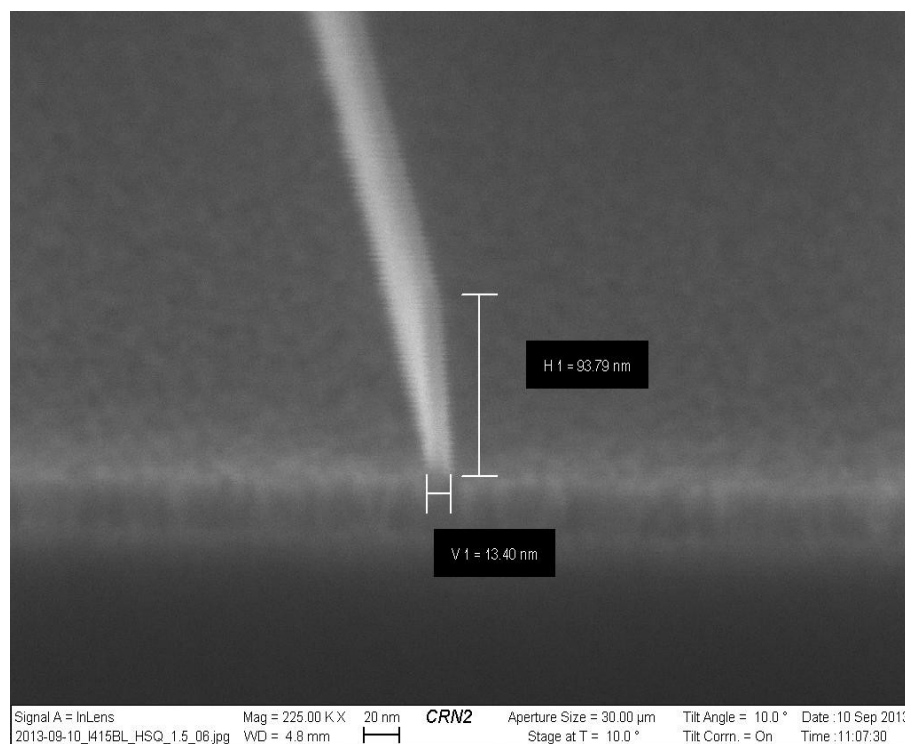


Figure F.1 : Image SEM d'une ligne de HSQ exposée à 20keV.

Pour le procédé à 2 keV, la résine a dû être diluée avec du MIBK afin d'avoir une mince couche de résine. En diluant la HSQ par 6, on a réussi à obtenir un film de 20 nm d'épais. L'avantage de travailler à basse énergie est que le temps d'exposition est beaucoup plus rapide puisque toute l'énergie des électrons se dépose à la surface de la HSQ. Les inconvénients par contre ce sont qu'il est extrêmement difficile de faire des lignes denses à cause des effets de proximité et il très difficile de faire ses réglages et cela influe sur la reproductibilité du procédé. Le développement est fait cette fois-ci avec du TMAH pour avoir un meilleur contraste de structures. Différentes doses sont testées et la Figure F.2 montre le meilleur résultat obtenu. On a obtenu des lignes de 16 nm de large espacées de 33 nm.

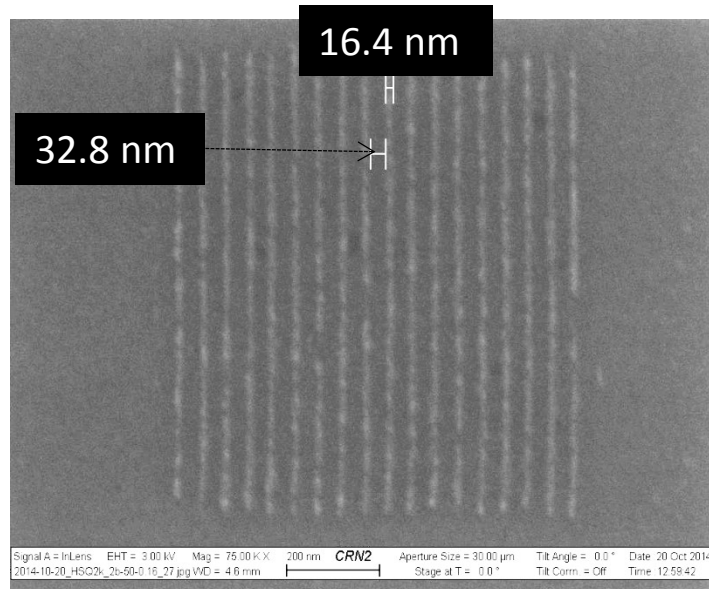


Figure F.2 : Image SEM de lignes denses de HSQ exposées à 2 keV.

ANNEXE G

Procédé *top-gate*

Le procédé de fabrication de SET avec une grille auto-alignée verticalement est présenté ici. Les différentes étapes sont illustrées à la Figure G.1.

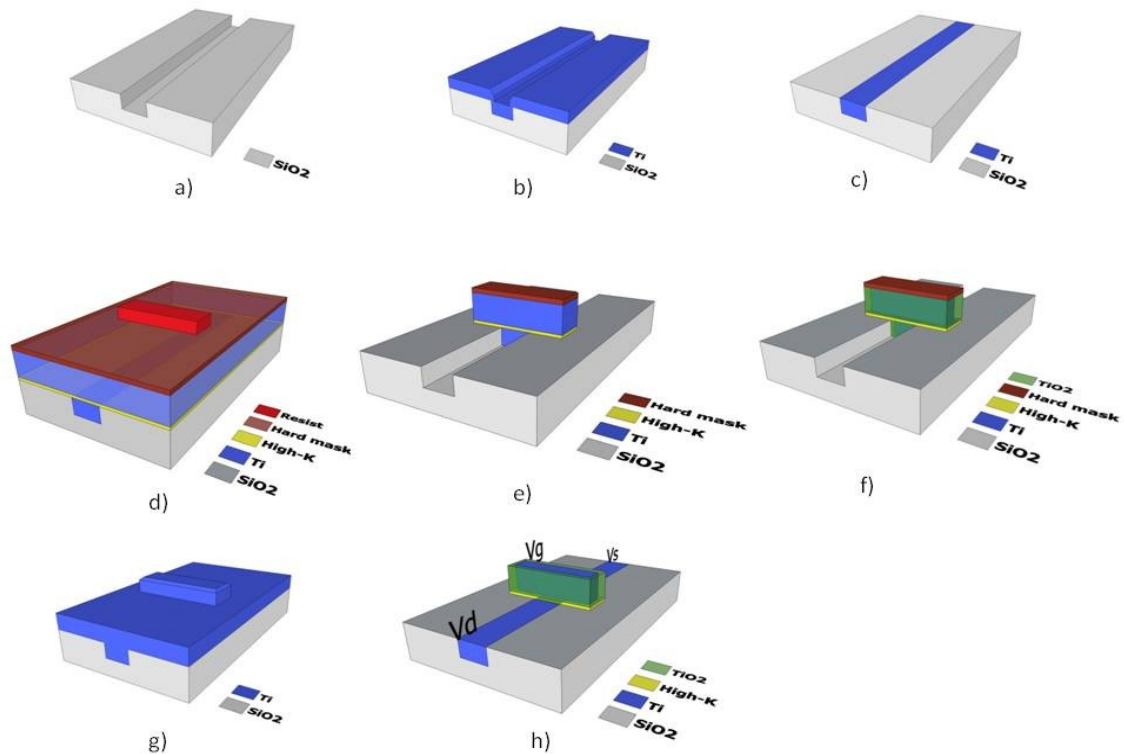


Figure G.1 : Étapes du procédé *top gate*. a) Gravure AOE du canal. b) Dépôt d'une couche de TiN. c) Polissage CMP. d) Dépôt d'un empilement de grille. e) Gravure de TiN et du diélectrique avec un masque dur. f) Oxydation plasma ou dépôt ALD de diélectrique. g) Dépôt d'une couche de TiN. h) Planarisation par plasma.

L'avantage majeur de ce procédé est que la grille est auto-alignée avec l'îlot sans méthode d'alignement alors que dans le procédé actuel un désalignement de l'îlot peut arriver lors de l'EBL2. Un autre avantage est qu'on peut faire varier l'épaisseur ou la constante diélectrique de l'oxyde entre la grille et l'îlot suivant les besoins puisque l'oxyde est déposé et n'est plus le substrat lui-même. Le procédé démarre avec une gravure AOE des chemins d'amenée, des plots de contact et du canal. Une couche de TiN est déposée puis amincit par

CMP jusqu'à qu'il ne reste du TiN que dans les motifs gravés. Ensuite, un dépôt successif d'un diélectrique, d'une couche de TiN et d'un masque dur est réalisé. Avec une résine négative, on grave une ligne perpendiculaire au canal de cet empilement jusqu'à vider le canal de TiN. Une oxydation ou un dépôt d'oxyde par ALD sont faits pour former les jonctions tunnel. Ensuite, une couche de TiN est déposée pour recouvrir toute la surface. Enfin, une étape de gravure pour enlever le TiN partout sauf dans les nanostructures de SiO₂ est effectuée. Cette étape est critique et encore difficile à mettre en place puisqu'elle se base sur le principe que la gravure plasma grave les surfaces TiN plus vite que celle dans les tranchées. On parle de planarisation par plasma.

LISTE DES RÉFÉRENCES

- Abraham, S.C., Gabriel, C.T. & Zheng, J., 1997. Performance of different etch chemistries on titanium nitride antireflective coating layers and related selectivity and microloading improvements for submicron geometries obtained with a high-density metal etcher. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 15(3), pp.702–706.
- Alpsitec SARL, 2015. CMP process. Available at: <https://www.crystec.com/alpovere.htm> [Accessed February 19, 2016].
- Bates, R.L., Stephan Thamban, P.L. & Goeckner, M.J., 2014. Silicon etch using SF₆/C₄F₈/Ar gas mixtures. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 32(4), p.041302.
- Batude, P. et al., 2011. Advances , Challenges and Opportunities in 3D CMOS Sequential Integration. In *Electron Devices meeting, IEEE International*. pp. 151–154.
- Batude, P., 2009. *Intégration à trois dimensions séquentielle: Etude , fabrication et caractérisation*. Institut polytechnique de Grenoble.
- Bounouar, M.A. et al., 2012. On the use of nanoelectronic logic cells based on metallic Single Electron Transistors. In *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*. Ieee, pp. 157–160.
- Chen, Z. et al., 2012. Ta/TiN midgap full-metal single gate fabrication using combined chlorine-based plasma and highly selective chemical metal etching for decananometer CMOS technology. *Microelectronic Engineering*, 97, pp.280–284.
- Chinzei, Y., Ichiki, T. & Ikegami, N., 1998. Residence time effects on SiO₂/Si selective etching employing high density fluorocarbon plasma. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 16(3), pp.1043–1050.
- Chiu, H.K. et al., 2001. Characterization of titanium nitride etch rate and selectivity to silicon dioxide in a Cl₂ helicon-wave plasma. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 19(2), p.455.
- Choi, B.H. et al., 1998. Fabrication and room-temperature characterization of a silicon self-assembled quantum-dot transistor. *Applied Physics Letters*, 73(21), p.3129.
- Claflin, B. & Lucovsky, G., 1998. Interface formation and thermal stability of advanced metal

- gate and ultrathin gate dielectric layers. *Journal of Vacuum Science & Technology B*, 16(4), pp.2154–2158.
- Cleland, A.N. et al., 1992. Very low noise photodetector based on the single electron transistor. *Applied Physics Letters*, 61(23), pp.2820–2822.
- Coburn, J.W. & Winters, H.F., 1979. Ion- and electron-assisted gas-surface chemistry - An important effect in plasma etching. *Journal of Applied Physics*, 50(5), pp.3189–3196.
- Darnon, M. et al., 2006. Etching characteristics of TiN used as hard mask in dielectric etch process. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 24(5), p.2262.
- Darnon, M. et al., 2008. Patterning of narrow porous SiOCH trenches using a TiN hard mask. *Microelectronic Engineering*, 85(11), pp.2226–2235.
- Deshpande, V. et al., 2012. Scaling of trigate nanowire (NW) MOSFETs to sub-7 nm width: 300 K transition to Single Electron Transistor. In *Proc. European Solid-State Device Research Conf, IEEE*. p. 121.
- Dolan, G.J., 1977. Offset masks for lift-off photoprocessing. *Applied Physics Letters*, 31(5), pp.337–339.
- Donnelly, V.M. & Kornblit, A., 2013. Plasma etching: Yesterday, today, and tomorrow. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 31(5), p.050825.
- Droulers, G., 2016. *Conception et fabrication d'un automate cellulaire quantique basé sur un procédé de transistor monoélectronique métallique damascène*. Université de Sherbrooke.
- Dubuc, C. et al., 2008. A Nanodamascene Process for Advanced Single-Electron Transistor Fabrication. *IEEE Transactions on Nanotechnology*, 7(1), pp.68–73.
- Dubuc, C., Beauvais, J. & Drouin, D., 2007. Single-electron transistors with wide operating temperature range. *Applied Physics Letters*, 90(11), p.113104.
- Ecoffey, S. et al., 2011. Technology platform for the fabrication of titanium nanostructures. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 29(6), p.06FG06.
- Efremov, A.M., Kim, D. & Kim, C., 2003. On mechanisms of argon addition influence on etching rate in chlorine plasma. , d, pp.232–237.

- EPFL, 2010. Manual for STS Multiplex ICP. Available at: <http://cmi.epfl.ch/etch/STS.php>.
- Ernsberger, C. et al., 1986. Low temperature oxidation behavior of reactively sputtered TiN by x-ray photoelectron spectroscopy and contact resistance measurements. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 4(6), p.2784.
- Franssila, S., 2010. *Introduction to microfabrication* 2nd ed. J. W. & Sons, ed.,
- Fulton, T.A. & Dolan, G.J., 1987. Observation of single-electron charging effects in small tunnel junctions. *Physical review letters*, 59, pp.109–112.
- Gaboriau, F. et al., 2002. Langmuir probe measurements in an inductively coupled plasma: Electron energy distribution functions in polymerizing fluorocarbon gases used for selective etching of SiO₂. *Journal of Vacuum Science and Technology, Part A: Vacuum, Surfaces and Films*, 20(3), pp.919–927.
- Gier, L., Scharmann, A. & Schalch, D., 1986. Hopping conduction and defect states in reactively sputtered silicon nitride thin films. *Physica Status Solidi*, 98((a)), pp.605–610.
- Le Gouil, A. et al., 2007. Poly-Si/TiN/HfO₂ gate stack etching in high-density plasmas. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 25(3), pp.767–778.
- Grill, A., 1994. *Cold plasma in materials fabrication, from fundamentals to applications*,
- Grover, S. & Moddel, G., 2012. Engineering the current-voltage characteristics of metal-insulator-metal diodes using double-insulator tunnel barriers. *Solid-State Electronics*, 67(1), pp.94–99.
- Guilmain, M. et al., 2013. A damascene platform for controlled ultra-thin nanowire fabrication. *Nanotechnology*, 24(24), p.245305.
- Guilmain, M., 2013. *Fabrication de mémoire monoélectronique non volatile par une approche de nanogrille flottante*. Université de Sherbrooke.
- Guilmain, M. et al., 2011. SiO₂ shallow nanostructures ICP etching using ZEP electroresist. *Microelectronic Engineering*, 88(8), pp.2505–2508.
- Gwo, S. et al., 1999. Local electric-field-induced oxidation of titanium nitride films. *Applied Physics Letters*, 74(8), pp.1090–1092.
- El Hajjam, K., 2015. *Ingénierie de jonctions tunnel pour améliorer les performances du transistor monoélectronique métallique*. Université de Sherbrooke.
- Harvey-Collard, P., 2013. *Fabrication de transistors mono-électroniques en silicium pour le*

- traitement classique et quantique de l'information : une approche nanodamascène.* Université de Sherbrooke.
- Hass, G. & Bradford, A.P., 1957. Optical Properties and Oxidation of Evaporated Titanium Films. *Journal of the Optical Society of America*, 47(2), p.125.
- Heo, S.C. et al., 2012. A study of sputtered TiN gate electrode etching with various wet chemicals and post etch annealing for complementary metal–oxide–semiconductor device integration applications. *Japanese Journal of Applied Physics*, 51, p.101203.
- Hesto, P., 1986. *The nature of electronic conduction in thin insulating film*,
- Im, J.W. et al., 2015. A 128Gb 3b/cell V-NAND flash memory with 1Gb/s I/O rate. In *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*. pp. 130–131.
- Jouvet, N., 2012. *Intégration hybride de transistors à un électron sur un nœud technologique cmos*. Université de Sherbrooke.
- Kim, D.-P. et al., 2011. Dry etching of TiN in N₂/Cl₂/Ar adaptively coupled plasma. *Vacuum*, 86(4), pp.380–385.
- Lavieville, R. et al., 2016. Demonstration of Single Hole Transistor and Hybrid Circuits for Multivalued Logic and Memory Applications up to 350 K Using CMOS Silicon Nanowires. *Advanced Electronic Materials*, p.n/a–n/a.
- Lee Sang, B. et al., 2015. Inductively coupled plasma etching of ultra-shallow Si₃N₄ nanostructures using SF₆/C₄F₈ chemistry. *Microelectronic Engineering*, 141, pp.68–71.
- Lee Sang, B. et al., 2016. Selective dry etching of TiN nanostructures over SiO₂ nanotrenches using a Cl₂/Ar/N₂ inductively coupled plasma. *Journal of Vacuum Science & Technology B*, 102, pp.3–8.
- Lenzlinger, M. & Snow, E.H., 1969. Fowler-nordheim tunneling into thermally grown SiO₂. *Journal of Applied Physics*, 40(1), pp.278–283.
- Likharev, K.K., 1987. Single - electron transistors: Electrostatic analogs of the dc squids. *IEEE Transactions on Magnetism*, 23(2), pp.1142–1145.
- Likharev, K.K., 1999. Single-Electron Devices and Their Applications. In *Proceedings of the IEEE*. pp. 606–632.
- Liu, K.T. et al., 2002. Voltage gain of Si single-electron transistor and analysis of performance of n-metal-oxide-semiconductor type inverter with resistive load. *Japanese Journal of Applied Physics*, 41, pp.458–463.

-
- Machunze, R. & Janssen, G.C.A.M., 2009. Stress and strain in titanium nitride thin films. *Thin Solid Films*, 517(20), pp.5888–5893.
- Mahapatra, S. & Ionescu, A.M., 2005. Realization of Multiple Valued Logic and Memory by Hybrid SETMOS Architecture. *IEEE Transactions On Nanotechnology*, 4(6), pp.705–714.
- Matsumoto, K. et al., 1996. Room temperature operation of a single electron transistor made by the scanning tunneling microscope nanooxidation process for the TiOx/Ti system. *Applied Physics Letters*, 68(1), p.34.
- Min, S.R. et al., 2008. Inductively coupled plasma reactive ion etching of titanium nitride thin films in a Cl₂/Ar plasma. *Journal of Industrial and Engineering Chemistry*, 14(3), pp.297–302.
- Morissette, J.-F., 2010. *Fabrication par lithographie hybride et procédé damascène de transistors monoélectroniques à grille auto-aligné*. Université de Sherbrooke.
- Oliver, M.R., 2004. *Chemical-mechanical planarization of semiconductor materials* Vol. 69 Ma. S. Science, ed.,
- Ono, Y. et al., 2000. Fabrication Method for IC-Oriented Si Single-Electron Transistors. *IEEE transactions on electron devices*, 47(1), pp.147–153.
- Panagopoulos, T. & Economou, D.J., 1999. Plasma sheath model and ion energy distribution for all radio frequencies. *Journal of Applied Physics*, 85(7), pp.3435–3443.
- Parekh, R. et al., 2012. Simulation and Design Methodology for Hybrid SET-CMOS Integrated Logic at 22-nm Room-Temperature Operation. *IEEE Transactions on Electron Devices*, 59(4), pp.918–923.
- Pargon, E. et al., 2004. Characterization of resist-trimming processes by quasi in situ x-ray photoelectron spectroscopy. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 22(4), p.1869.
- Pargon, E. et al., 2005. Mass spectrometry studies of resist trimming processes in HBr/O₂ and Cl₂O₂ chemistries. *Journal of Vacuum Science and Technology B: Microelectronics and Nanometer Structures*, 23(1), pp.103–112.
- Pashkin, Y.A., Nakamura, Y. & Tsai, J.S., 2000. Room-temperature Al single-electron transistor made by electron-beam lithography. *Applied Physics Letters*, 76(16), p.2256.
- Pekola, J.P. et al., 1994. Thermometry by arrays of tunnel junctions. *Physical Review Letters*,

- 73(21), pp.2903–2906.
- Posseme, N. et al., 2015. *Plasma etching processes for interconnect realization in VLSI*,
- Posseme, N. et al., 2010. Residue growth on metallic-hard mask after dielectric etching in fluorocarbon-based plasmas. I. Mechanisms. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 28(4), p.809.
- Prager, A. et al., 2011. Experimental demonstration of hybrid CMOS-single electron transistor circuits. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 29(4), p.041004.
- Ranjan, A., Donnelly, V.M. & Economou, D.J., 2006. Energy distribution and flux of fast neutrals and residual ions extracted from a neutral beam source. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 24(5), p.1839.
- De Salvo, B., 1999. *Étude du transport électrique et de la fiabilité des isolants des mémoires non volatiles à grille flottante*.
- Schaepkens, M. et al., 1999. Study of the SiO₂ -to-Si₃N₄ etch selectivity mechanism in inductively coupled fluorocarbon plasmas and a comparison with the SiO₂ -to-Si mechanism. *Journal of Vacuum Science & Technology A*, 17(1), pp.26–37.
- Schaepkens, M. & Ohrlein, G.S., 2001. A review of SiO₂ etching studies in inductively coupled fluorocarbon plasmas. *Journal of The Electrochemical Society*, 148(3), p.C211.
- Shin, S.J. et al., 2010. Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature. *Applied Physics Letters*, 97(10), p.103101.
- Shin, Y.H. & Shimogaki, Y., 2004. Diffusion barrier property of TiN and TiN/Al/TiN films deposited with FMCVD for Cu interconnection in ULSI. *Science and Technology of Advanced Materials*, 5(4), pp.399–405.
- Shirakashi, J.-I. et al., 1998. Room Temperature Nb-Based Single-Electron Transistors. *Jpn. J. Appl. Phys.*, 37, pp.1594–1598.
- Shul, R. & Pearton, S., 2000. *Handbook of advanced plasma processing techniques*,
- Sungauer, E., 2009. *Étude et développement de procédés de gravure plasma de HfO₂ pour l'élaboration de transistors CMOS sub-45 nm*. Université Joseph-Fourier.
- Tachi, S. & Okudaira, S., 1986. Chemical sputtering of silicon by F⁺, Cl⁺, and Br⁺ ions: Reactive spot model for reactive ion etching. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 4(2), pp.459–467.

-
- Takahashi, Y. et al., 1995. Fabrication technique for Si single-electron transistor operating at room temperature. *Electronics Letters*, 31(2), pp.136–137.
- Tonotani, J. et al., 2003. Dry etching characteristics of TiN film using Ar/CHF₃, Ar/Cl₂, and Ar/BCl₃ gas chemistries in an inductively coupled plasma. *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, 21(5), p.2163.
- Toriumi, A. et al., 1999. Challenge and prospects for silicon SET/FET hybrid circuits. *Physica B: Condensed Matter*, 272(1-4), pp.522–526.
- Vilca, H. et al., 2003. Characterization by Coulometric Reduction of Surface Chemical Components Formed on Copper in Fluorine-Containing Plasmas. *Electrochemical and Solid-State Letters*, 6(12), pp.B55–B58.
- Vinet, M. et al., 2014. Monolithic 3D integration: A powerful alternative to classical 2D scaling. In *SOI-3D-Subthreshold Microelectronics Technology Unified Conference*. pp. 17–19.
- Volinsky, A.A., Vella, J.B. & Gerberich, W.W., 2003. Fracture toughness, adhesion and mechanical properties of low-K dielectric thin films measured by nanoindentation. *Thin Solid Films*, 429, pp.201–210.
- Wang, J.J. et al., 1998. Inductively coupled plasma etching of bulk 6H-SiC and thin-film SiCN in NF₃ chemistries. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 16(4), p.2204.
- Wikipedia, 2006. Available at: https://en.wikipedia.org/wiki/Back_end_of_line.
- Wuu, D.S. et al., 2005. Water and oxygen permeation of silicon nitride films prepared by plasma-enhanced chemical vapor deposition. *Surface and Coatings Technology*, 198(1-3), pp.114–117.
- Zhou, B. et al., 2005. Effect of surface temperature on plasma-surface interactions in an inductively coupled modified gaseous electronics conference reactor. *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, 23(6), p.1657.

